ORSAY
Série A
N° d'ordre
2196

THESE

PRESENTEE

A L'UNIVERSITE DE PARIS-SUD

CENTRE D'ORSAY

POUR OBTENIR

LE TITRE DE DOCTEUR 3ème CYCLE

Spécialité Electronique
Option : Traitement de l'Information et Automaque

par

Hassen KOCHED

ETUDE D'UN PROCESSEUR MIXTE ANALOGIQUE-LOGIQUE DESTINE A LA CONSTRUCTION D'UN CALCULATEUR HYBRIDE A ETABLISSEMENT AUTOMATIQUE DES INTERCONNEXIONS

Soutenue le 21 décembre 1976, devant la Commission d'Examen

MM.	DEBRAINE	Président
	BONNEMAY	Examinateurs
	DONADIEU	

ORSAY
Série A
N° d'ordre

2196

THESE

PRESENTEE

A L'UNIVERSITE DE PARIS-SUD

CENTRE D'ORSAY

POUR OBTENIR

LE TITRE DE DOCTEUR 3ème CYCLE

Spécialité Electronique
Option : Traitement de l'Information et Automaque

par

Hassen KOCHED

ETUDE D'UN PROCESSEUR MIXTE ANALOGIQUE-LOGIQUE DESTINE A LA CONSTRUCTION D'UN CALCULATEUR HYBRIDE A ETABLISSEMENT AUTOMATIQUE DES INTERCONNEXIONS

Soutenue le 21 décembre 1976, devant la Commission d'Examen

MM.	DEBRAINE	Président
	BONNEMAY DONADIEU	Examinateurs

UNIV.
LEIDEN
BIBL.

AVANT PROPOS

Cette étude a été effectuée au Centre d'Etudes Nucléaires de Saclay dans les Services d'Electronique de Saclay.

Elle a été dirigée par Monsieur A. BONNEMAY, chargé d'un cours dans le D.E.A. d'Electronique de Paris-Sud et ingénieur au C.E.A.

Je suis heureux de lui exprimer ma profonde gratitude pour le sujet qu'il m'a proposé et pour son attention constante et les nombreux conseils qu'il m'a prodigués tout au long de ce travail.

Je tiens à remercier Monsieur le Professeur P. DEBRAINE de l'honneur qu'il m'a fait en acceptant de présider le jury de thèse et à lui témoigner aussi ma profonde gratitude pour l'enseignement et les conseils qui ont permis la réalisation de ce travail.

Mes remerciements vont également à tous les ingénieurs et stagiaires et les secrétaires du CISI/CAH et des SES qui, par leur aide efficace et leur gentillesse, ont contribué à la réalisation de cette thèse.

Digitized by the Internet Archive
in 2026

https://archive.org/details/IA41548102_0022

TABLE DES MATIERES

PA

CHAPITRE I - INTRODUCTION, OBJECTIFS DE LA RECHERCHE

CHAPITRE II - LES BASES MATHEMATIQUES UTILES POUR L'ETUDE DU PROCESSEUR MULTIFONCTIONS ANALOGIQUE-LOGIQUE

II.1 Notions sur l'analyse binaire

II.2 Définition

II.3 Extension sur R des opérations logiques 1
II.3.1 Introduction 1
II.3.2 Présentation et formulation des deux opérateurs fondamentaux d'interface 1
II.3.2.1 L'organe de base d'un interface analogique-logique : le COMPARATEUR 1
a) le comparateur a zéro 1
b) la comparaison 1
c) le comparateur à inhibition 1
d) remarques 1
II.3.2.2 L'organe de base d'un interface logique-analogique 1
a) la porte analogique 1
b) définition 1
c) conclusion 1

II.4. Formulation algébrique des opérateurs logiques 1
II.4.1 Définition d'un opérateur logique 1
II.4.2 L'opération "ET" 1
II.4.3 L'opération "OU" = PRODUEL 1
II.4.4 La complémentation 1
II.4.5 Autres opérations 1
II.4.5.1 Le OU exclusif 1
II.4.5.2 Le NAND = NON ET 1
II.4.5.3 Le NOR = NON OU 1
II.4.6 Remarques 1

II.5 Résumé des principales propriétés structurelles étudiées sur R. 20

CHAPITRE III - EXPRESSIONS HYBRIDES ET FORMES A CHOIX EXCLUSIFS 22

III.1 Rappel sur les formes alternatives et formes à choix exclusifs 22

III.1.1 Définition d'une fonction carrée biforme : propriétés 22

III.1.2 Fonctions carrées biformes et concensus : définitions 23

III.2 Extension de la notion de fonction carrée biforme : la forme alternative 24

III.2.1 Définitions 24

III.2.2 Formes à choix exclusifs 26

JII.2.2.1 Définitions 26

III.2.2.2 Propriétés 26

III.2.3 Résumé des principales propriétés des formes à choix exclusifs 27

III.3 Expressions hybrides et formes à choix exclusifs 29

III.3.1 Introduction 29

III.3.2 Expressions algébriques hybrides (E.A.H.) 29

III.3.2.1 Définition 29

III.3.2.2 Exemples 30

III.3.2.3 Somme d'E.A.H. 30

III.3.2.4 Produels d'E.A.H. 32

III.3.2.5 Produits d'E.A.H. 34

CHAPITRE IV - STABILITE DES BOUCLES ALGEBRIQUES 36

IV.1 Introduction 36

IV.2 Boucles à nombre pair ou impair d'amplificateurs 37

IV.3 Méthodes des intégrateurs 40

IV.4 Systèmes algébriques linéaires 41

CHAPITRE V - ETUDE EXPERIMENTALE ET PRESENTATION DU PROCESSEUR 48

V.1 Caractéristiques fondamentales du processeur 48

V.2 Description du processeur 51

V.3 Présentation symbolique des opérateurs analogiques 53

V.4 Programmation du processeur 53

V.5 Etude expérimentale 56
V.5.1 Introduction 56
V.5.2 Tensions de référence 58
V.5.3 Choix des échelles de correspondance, variables analogiques 59
V.5.4 Remarques 61
V.5.5 Les opérations algébriques 61
V.5.5.1 Porgrammation de l'opération d'addition 61
V.5.5.2 Programmation de l'opération de sous-traction 62
V.5.5.3 Programmation de l'opération de multiplication 63
V.5.5.4 Programmation de l'opération de division 63
a) le schéma de principe 63
b) les problèmes posés par l'opération de division 65
V.5.5.5 Programmation de l'opération de racine carrée 68
a) le schéma de principe 68
b) le schéma de câblage 69
V.5.5.6 Programmation de l'opération de changement de signe 69
V.5.6 Les opérations logiques "ET", "OU", "NON", "OU EXCLUSIF" 70
V.5.6.1 Programmation de la fonction "ET" 70
V.5.6.2 Programmation de la fonction "OU" = PRODUEL 76
V.5.6.3 Programmation du "NON" 77
V.5.6.4 Programmation du "OU EXCLUSIF" 78
V.5.6.5 Autres opérations 78
a) programmation du "NAND" et du "NOR" 78
b) la bascule RS 78
V.5.7 Problème de la précision des portes 80
V.5.7.1 Effet d'une erreur de définition sur le signal logique 85

V.5.7.2 Etude technologique 87
a) schéma de principe 87
b) schéma pratique. 87

CHAPITRE VI - APPLICATION DU PROCESSEUR A LA RESOLUTION DES EQUATIONS 89

VI.1 Introduction 89

VI.2 Problème 90

VI.3 Modification des équations 91

VI.4 Choix des équations de correspondance 92

VI.5 Schémas de câblage analogique. 97

CHAPITRE VII - PRINCIPES DE BASE D'UN SYSTEME DE CABLAGE AUTOMATIQUE POUR UN CALCULATEUR ANALOGIQUE 102

VII.1 Introduction 102

VII.2 Historique 106

VII.3 Analyse topologique des schémas de câblage rencontrés lors de la résolution des problèmes analogiques 112

VII.4 Principes d'un système de câblage 114
VII.4.1 Introduction 114
VII.4.2 Différence avec un système téléphonique classique 116
VII.4.3 Système téléphonique analogique à configuration modulaire 117
VII.4.3.1 Le sous-système intramodulaire 119
VII.4.3.2 Le sous-système intermodulaire 119
VII.4.4 Système matriciel 120
VII.4.4.1 Matrice à simple étage 120
VII.4.4.2 Matrice à trois étages 121

VII.5 Liaisons interprocesseur 123

VII.6 Conclusion générale. 125

REFERENCES BIBLIOGRAPHIQUES 140

CHAPITRE I

INTRODUCTION, OBJECTIFS DE LA RECHERCHE

Depuis leur apparition, les calculateurs ont évolué de façon constante. Cette évolution s'est manifestée de diverses manières:

Les progrès technologiques tout d'abord, ont fait passer de l'utilisation des tubes électroniques et même des relais dans les premiers calculateurs, à l'utilisation actuelle des circuits intégrés les plus complexes et à grande échelle.

Si la tâche primordiale des calculateurs était évidemment de faire du calcul, les besoins actuels ont provoqué un développement considérable des tâches d'entrées/sorties, ce qui a modifié assez nettement la structure générale des calculateurs.

Les calculateurs de la génération actuelle sont des machines à plusieurs organes d'entrées/sorties, ce qui a posé le problème d'interconnexions entre ces différents organes (cette notion d'organe englobe aussi bien une unité de traitement, une mémoire vive, un disque, un téléimprimeur, etc.). Actuellement, si l'on regarde le marché des calculateurs analogiques et hybrides, on constate qu'il ne connaît pas l'expansion de celui des calculateurs numériques.

La croissance du premier est beaucoup plus faible, sans doute en raison d'une certaine saturation remarquée dans quelques secteurs, des difficultés économiques qui frappent la recherche et par suite de l'ignorance des possibilités offertes par ce moyen chez un grand nombre d'ingénieurs, mais aussi en raison d'une certaine concurrence présentée par les calculateurs numériques dont les performances ont considérablement évolué depuis une dizaine d'années, si l'on se réfère aux statistiques établies par la revue ELECTRONICS [1], relatives aux marchés européens. D'autre part, on sait qu'un calculateur analogique se compose de deux parties principales : l'une formée par l'ensemble d'opérateurs analogiques reliés entre eux par un système de câblage ; l'autre par l'ensemble d'opérateurs logiques reliés entre eux par un système de câblage.

Une boucle de commande d'un processus quelconque fait intervenir différentes technologies électroniques (électronique continue, électronique logique parallèle, électronique numérique), ce qui fait que les méthodes de synthèses employées à nos jours, traitent séparément les électroniques

analogiques, logiques et numériques et imposent au concepteur de poser une répartition a priori de chacune des trois parties sans oublier les problèmes d'interfaces.

En plus, les différentes opérations qui composent un travail sur un calculateur analogique ou hybride, sont actuellement automatisées, seules les opérations de câblage restent encore manuelles.

Les entrées et sorties de tous les éléments de calcul sont regroupées sur un panneau de câblage amovible sur lequel on peut enficher les différents fils de liaison entre les opérateurs.

Or, la survie des calculateurs analogiques (donc hybrides) et leur expansion dépendent fortement de la découverte de moyens pour aplanir les difficultés causées par la programmation des problèmes, leur implantation sur le calculateur et leur résolution sont liées à un grand nombre de paramètres dont le facteur humain n'est pas le moindre.

En effet, la conception du schéma analogique correspondant à un problème dépend de la façon dont l'opérateur a franchi les différentes étapes qui mènent du modèle mathématique à la résolution.

Le contact homme-machine intervient à tous les stades : la seconde réagit en fonction des décisions du premier. La précision, la qualité avec lesquelles ces étapes fournissent les informations sont liées à l'opérateur.

Dans ce cas, l'accès à la machine n'est réservé qu'aux

spécialistes ayant une connaissance parfaite des différents détails de la structure interne de la machine.

Le premier but de cette thèse est l'étude d'un processeur multifonctions analogique-logique, permettant d'incorporer et de traiter dans une même expression, variables logiques et variables analogiques, et celles d'un futur calculateur hybride à base de modules. L'existence d'un calculateur analogique ou hybride à câblage automatique crée un nouvel horizon de calcul qui offre beaucoup de possibilités de transformations dans l'emploi de ces machines, entre autre doter les calculateurs analogiques de la future génération d'un accès leur conférant les mêmes avantages d'exploitation qu'aux calculateurs numériques, travail par "train", accès par le terminal, possibilité du fonctionnement en temps partagé.

Un programme analogique ou hybride peut alors, comme un programme numérique, être stocké sur un support peu coûteux (paquet de cartes par exemple).

Il sera beaucoup plus facile et beaucoup moint coûteux de stocker des cartes perforées que des panneaux câblés (coût d'un panneau câblé : 20 000 F) et on supprime ainsi la phase fastidieuse du câblage manuel.

D'autre part, l'adjonction d'un système de câblage automatique à un calculateur analogique est presque analogue à un compilateur de FØRTRAN pour un calculateur numérique (ou comme un langage d'assemblage).

Dans ce cas, il n'est pas nécessaire, pour les utilisateurs de ces machines, d'être très qualifiés et spécialisés dans ce domaine, et on réduit énormement le temps nécessaire à la résolution d'un problème analogique.

Mais un calculateur analogique à câblage automatique ne pourra être imposé sur le marché que si sa réalisation aboutit à un système peu coûteux, rapide, fiable et peu encombrant si possible et s'il ne diminue pas la précision déjà faible (10^{-4} en absolue) du calculateur.

Mentionnons enfin qu'un calculateur hybride (analogique) à câblage automatique apporterait sous réserve d'une technologie suffisamment rapide, une richesse supplémentaire dans les possibilités de programmation. En effet, les fonctions "SWITCH" et "RELAIS" seraient généralisées permettant la modification du câblage analogique au cours d'un même programme.

CHAPITRE II

LES BASES MATHEMATIQUES UTILES POUR L'ETUDE DU PROCESSEUR MULTIFONCTIONS ANALOGIQUE-LOGIQUE

RAPPEL DE QUELQUES PROBLEMES THEORIQUES SOULEVES PAR L'ETUDE DU PROCESSEUR MULTIFONCTIONS ANALOGIQUE - LOGIQUE.

II.1 NOTIONS SUR L'ANALYSE BINAIRE

L'analyse binaire est une technique de calcul d'expressions logiques. Elle permet de résoudre dans un formalisme commode les problèmes usuellement résolus par l'algèbre de BOOLE.

C'est une analyse mathématique reposant sans ristriction sur l'axiomatique de l'algèbre classique comme le précise R. VALLEE dans son ouvrage [2].

Elle se caractérise par l'utilisation d'un symbolisme bidimensionnel proposé à l'origine par A. BLANCHARD [3] qui

conduit à des méthodes analytiques rigoureuses, destinées à l'étude pratique des systèmes numérique en général.

II.2 DEFINITIONS

On se donne un ensemble binaire algébrique, constitué par les éléments variables ou fonctions binaires, ne pouvant prendre que deux valeurs algébriques distinctes $X \neq Y$

Appelons K_{XY} un élément de l'ensemble E_{XY}.

$K_{XY} \varepsilon E_{XY}$ tel que

si $K_{XY} \neq X \Longrightarrow K_{XY} = Y$

$K_{XY} \neq Y \Longrightarrow K_{XY} = X$

et on démontre qu'il existe une relation binaire qui fait correspondre deux à deux tous les éléments de l'ensemble

$$\boxed{K_{XY} + \overline{K}_{XY} - (X+Y) = 0.} \qquad (1)$$

Si on choisit pour X et Y les valeurs particulières 0 et 1, de ce fait, la relation devient

$$\boxed{K_{01} + \overline{K}_{01} - (0+1) = 0 \Longrightarrow \overline{K}_{01} = 1 - K_{01}} \qquad (2)$$

et on dira que les deux variables en fonction K_{01} et $\overline{K}_{01}$ sont complémentaires. Par suite, le choix judicieux des valeurs 0 et 1 permet de dire que le produit algébrique est

une loi de composition interne de l'ensemble binaire où l'élément neutre est 1, l'élément absorbant est 0. Ainsi, l'ensemble binaire se trouve défini par cette loi de composition interne qui est le produit et la relation binaire qui est la complémentation.

Sur le plan pratique, on associe la fonction "ET" au produit et la fonction "NON' à la complémentation et grâce à ces deux opérateurs technologiques, on a décrit et construit toutes les fonctions de variables binaires. Toujours dans le même esprit, on a défini une autre loi de composition interne duale du produit pour l'ensemble binaire qu'on a nommé "PRODUEL", dans laquelle l'élément neutre est zéro et l'élément absorbant est un.

Sur la plan pratique, on lui associe la fonction "OU". Notons bien que pour marquer le caractère dual de cette loi par rapport au produit, elle a été écrite sous la forme d'une représentation bidimensionnelle.

Ainsi, si on note le produit et le produel respectivement par P et $\amalg$, on a

$\forall\ f_1, f_2, \ldots f_n \in E_{01}$

$$P \equiv f_1, f_2, \ldots f_n = \prod_{i=1}^{n} f_i \qquad (3)$$

$$\amalg \equiv 1 - (1-f_1)(1-f_2) \ldots (1-f_n) = 1 - \bar{f}_1.f_2 \ldots f_n = f_1.f_2 \ldots f_n \qquad (4)$$

$\amalg$ fait partie de l'ensemble E_{01}.

En effet,

si $f_1 = f_2 = \ldots = f_n = 0 \longrightarrow \Pi = 0$

si $f_1 = f_2 = \ldots = f_n = 1 \longrightarrow \Pi = 1$

Ainsi, nous mettons en évidence une loi de composition interne dans laquelle :

. l'élément neutre est 0,

. l'élément absorbant est 1 ;

par rapport au produit, un caractère dual apparaît et cette loi sera appelée PRODUEL.

Quant au symbolisme, on note la fonction "ET" logique en ligne

X_1 ET X_2 sera noté $X_1.X_2$

Pour représenter cette deuxième loi, il est nécessaire de mettre en évidence la dualité qui existe entre elle et la fonction ET logique.

La meilleure forme d'écriture de cette deuxième loi de composition interne est la représentation bidimensionnelle qui traduit, physiquement, le caractère dual par rapport au produit.

Le symbole choisi est

$$\Pi = \begin{pmatrix} f_1 \\ f_2 \\ \vdots \\ f_n \end{pmatrix}$$

II.3 EXTENSION SUR R DES OPERATIONS LOGIQUES

II.3.1 Introduction.

Un ensemble hybride, même limité à sa logique combinatoire et à ses opérations algébriques se compose :

. de circuits logiques, décrits par l'algèbre modulo (2) de BOOLE ;

. de circuits algébriques, décrits par l'algèbre usuelle de R ;

. d'opérateurs d'interface.

Les méthodes actuelles de synthèses de la boucle de commande d'un processus qui fait intervenir différentes technologies électroniques, électronique analogique (ou continue), électronique logique parallèle, électronique numérique (cas d'un calculateur en boucle), traitent séparément ces différentes électroniques, imposent au concepteur une répartition des tâches, qui permet le traitement indépendant des trois parties.

Par défaut d'une structure algébrique qui permette d'incorporer dans une même expression, variables logiques et variables analogiques, on ne peut traiter globalement les problèmes hybrides, ni concevoir facilement les circuits hybrides sans se heurter aux problèmes d'interfaces.

En envisageant la logique comme un sous-ensemble du corps R sur lequel le produit est idempotent, un outil mathématique cohérent [4] a été développé et qui a permis la description et le traitement global des problèmes

hybrides.

On va, à l'aide d'expressions convenables, montrer l'extension à R des opérations logiques élémentaires "ET", "OU", "NON" à partir des quelles on peut en logique booléenne engendrer* toutes les autres et définir à partir des opérations usuelles sur R des opérations logiques.

II.3.2 Présentation et formulation des deux opérateurs fondamentaux d'interface.

II.3.2.1 L'organe de base d'un interface analogique-logique : le COMPARATEUR.

a) le comparateur à zéro :

Soit $X \in R$ et σ une application

$$R \xrightarrow{\sigma} \{0,1\} \subset R$$

définie par

$$\begin{cases} X > 0 \iff \sigma(X) = 1 \\ X \leq 0 \iff \sigma(X) = 0 \end{cases} \qquad (5)$$

La fonction $\sigma(X)$ sera, par définition, appelée la fonction de comparaison à 0.

---

* Voir remarques (II.4.6, page 18).

b) la comparaison :

Posons

$$R \times R \xrightarrow{\Sigma} \{0,1\}$$

$$\Sigma(X,Y) \triangleq \sigma(X - Y)$$

on a

$$\left\{ \begin{array}{l} X > Y \Longleftrightarrow \sigma(X-Y) \triangleq \Sigma(X,Y) = 1 \\ X \leqslant Y \Longleftrightarrow \sigma(X-Y) \triangleq \Sigma(X,Y) = 0 \end{array} \right. \qquad (6)$$

c) le comparateur à inhibition

Soit $\lambda \in \{0,1\}$; $X \in R$ et

$$\{0,1\} \times R \xrightarrow{\sigma_i} \{0,1\}$$

Si $\lambda = 0$, le comparateur est inhibé et admet pour sortie 0.

Si $\lambda = 1$, le comparateur fonctionne normalement.

D'où

$$\sigma_i(\lambda,X) = 0 \quad \text{si } \lambda = 0$$

$$= \sigma(X) \quad \text{si } \lambda = 1$$

Nous pouvons écrire, en utilisant les symboles logiques Λ(ET) et V(OU)

$$\sigma_i(\lambda,X) = \lambda \Lambda \sigma(X) \qquad (7)$$

d) remarques :

. les différents opérateurs de comparaison s'expriment en fonction de la comparaison à zéro $\sigma(X)$;

. propriétés de l'opérateur, voir [4].

II.3.2.2. L'organe de base d'un interface logique-analogique

a) la porte analogique

b) définition :

Soient $\lambda \in \{0,1\}$ et $X \in R$.

On définira la porte analogique Π comme une application de $\{0,1\} \times R$ sur R.

On aura

$$\boxed{\begin{array}{l} \Pi(\lambda,X) = 0 \Longleftrightarrow \lambda = 0 \\ \Pi(\lambda,X) = X \Longleftrightarrow \lambda = 1 \end{array}} \qquad (8)$$

On est tenté de définir Π comme le produit $\lambda.X$, en considérant $\{0,1\}$ comme un sous-ensemble de R.

Quant aux propriétés de la porte anologique, elles se trouvent bien détaillées dans [4].

c) conclusion :

Nous avons vu apparaître, pour ainsi dire naturellement, dans l'expression de la porte analogique, une expression "hybride" ; produit d'une variable binaire par un nombre réel.

De même, le comparateur à inhibition associait une fonction binaire de deux variables réelles à une variable binaire.

Dans les circuits hybrides, nous devons nous attendre à rencontrer des formes de ce type.

C'est pourquoi, en vue d'un traitement global de telles expressions, la généralisation à R des opérateurs de {0,1} était logique.

II.4 FORMULATION ALGEBRIQUE DES OPERATIONS LOGIQUES

Nous allons définir à partir des opérations usuelles sur R des opérations logiques.

II.4.1 Définition d'un opérateur logique.

Nous appelerons opération logique sur R toute opération pour laquelle {0,1} est clos.

II.4.2 L'opération "ET".

Posons

$$\nu = \lambda \cdot \mu$$

où, on le rappelle, le "·" a son sens de la multiplication usuelle sur R. Il est clair que

1) $\lambda \in \{0,1\}$; $\mu \in \{0,1\} \Longrightarrow \in \{0,1\}$

2) $\nu = 1 \Longleftrightarrow \lambda = 1, \mu = 1$

Nous avons donc une représentation algébrique du "ET"

$$\boxed{\nu = \lambda \cdot \mu = \lambda \wedge \mu} \qquad (9)$$

Dans cette optique, l'opérateur "." qui est équivalent, sur {0,1} à $\wedge$, est défini sur R × R ; et donc sur {0,1} × R.

L'expression posée intuitivement pour la porte analogique

$$\Pi(\lambda, X) = \lambda \cdot X$$

se trouve ainsi précisée.

II.4.3 L'opération "OU" = PRODUEL.

Posons

$$\boxed{\nu = \lambda \vee \mu \triangleq \lambda + \mu - \lambda \cdot \mu} \qquad (10)$$

De même que pour le produit

$$(\lambda \cdot \mu) \in \{0,1\{ \times \{0,1\} \Longrightarrow \nu \in \{0,1\}$$

On vérifie aisément que

$$\nu = 0 \Longleftrightarrow \lambda = 0, \ \mu = 0$$

et par conséquent

$$= \lambda + \mu - \lambda \cdot \mu = \lambda \vee \mu$$

Là encore, et bien que cette propriété soit moins intéressante, l'opération dont la restriction à {0,1} est V,

est partout définie sur R.

Par contre, sa restriction à {0,1} est intéressante.

II.4.4 La complémentation.

Posons

$$\boxed{\nu = \overline{\lambda} \triangleq 1 - \lambda} \qquad (11)$$

$\lambda \in \{0,1\} \Longrightarrow \nu \in \{0,1\}$

et évidemment

$\nu = 1 - \lambda = \overline{\lambda}$

II.4.5 Autres opérations.

Calculons les expressions dans R de quelques autres opérations logiques.

II.4.5.1 Le "OU" exclusif

On a

$$\lambda \oplus \mu = (\lambda \vee \mu) \cdot (\overline{\lambda}\ \mu)$$

soit, d'après les définitions ci-dessus

$$\lambda \oplus \mu = (\lambda + \mu - \lambda\mu)\ (1 - \lambda\mu)$$

soit

$$= \lambda - \lambda^2\mu + \mu - \lambda\mu^2 - \lambda\mu + \lambda^2\mu^2$$

la multiplication étant idempotente sur {0,1}, il vient

$$\boxed{\lambda \oplus \mu = \lambda + \mu - 2\ \lambda\mu} \qquad (12)$$

II.4.5.2 Le "NAND" = NON ET

Le "NAND" est l'opération

$$\lambda/\mu = \overline{\lambda \wedge \mu}$$

soit, sur R

$$\boxed{\lambda/\mu = 1 - \lambda\mu} \qquad (13)$$

II.4.5.3 Le "NOR" = NOU OU

Le "NOR" est l'opération

$$\lambda \downarrow \mu = \overline{\lambda \vee \mu}$$

soit $\lambda \downarrow \mu = (1 - \lambda \vee \mu)$

$$= 1 - (\lambda+\mu - \lambda\mu)$$

$$= 1 - \lambda - \mu + \lambda\mu$$

$$\boxed{\lambda \downarrow \mu = 1 - \lambda - \mu + \lambda\mu} \qquad (14)$$

ce qui peut s'écrire

$$\lambda \downarrow \mu = (1 - \lambda)\ (1 - \mu)$$

Ce résultat qui s'écrit en algèbre Booléenne

$$\lambda \downarrow \mu = \overline{\lambda} \wedge \overline{\mu}$$

aurait pu se déduire directement par application du théorème de MORGAN de l'expression utilisée comme définition du NOR.

II.4.6 Remarques.

1) Il est clair que la restriction à {0,1} des opérations sur R définies ci-dessus possède toutes les propriétés classiques de l'algèbre de BOOLE [4]. Néanmoins, elles ne sont pas toujours vraies sur R.

En effet, l'opération produit (extension à R × R de "ET") n'est pas idempotente sur R ; ainsi que le produel (extension à R de "OU").

Ainsi, les relations Booléennes classiques

$$X \cdot \overline{X} = 0$$

$$X \vee \overline{X} = 1$$

ne s'étendent pas sur R. Elles supposent en effet le produit idempotent, ce qui n'est vrai que sur {0,1}.

2) Le théorème de MORGAN est vrai sur R. En effet

$\overline{XY} = \overline{X} \vee \overline{Y}$ est définie $\forall$ X,Y $\in$ R

3) Nous avons vu que les expressions algébriques sur R du "NAND" et du "NOR" étaient resepctivement :

pour le "NAND" $\quad 1 - XY$

pour le "NOR" $\quad 1 - X - Y + XY$.

On note tout de même, du fait que le produit et le produel ne sont pas idempotents sur R, que la possibilité d'exprimer tous les opérateurs logiques à l'aide du "NAND" et du "NOR" ne s'étendent pas à R.

Il suffit de voir que, sur {0,1}, on a

$$\overline{X} = \overline{X \wedge X}$$

ce qui est faux sur R

$$\overline{X.X} = 1 - X^2.$$

La multiplication n'étant pas idempotente hors de {0,1}, on a

$$1 - X^2 \neq 1 - X$$

On fera la même remarque, et pour la même raison que le "NOR".

Avec ce développement théorique permettant l'extension à R des opérations logiques, il est possible de composer d'une façon quelconque les opérations produel, produit, somme, différence ainsi que leurs inverses. Il s'en suit que, dans un calcul, peuvent apparaître des expressions hybrides. Ces expressions peuvent bien entendu être traitées sans autres précautions que le respect des règles précisées par les propositions du présent chapitre. Quant à la concrétisation de ces opérations, tout est bien détaillé dans l'étude faite par A. BONNEMAY [4].

Reste le problème de l'échelle analogique qui est posé, il est résolu de la façon suivante ; on sait que les variables logiques sont caractérisées par la condition : le produit est idempotent.

Cette condition, trivialement vérifiée pour 0, quelque soit l'échelle, permet de définir rigoureusement le "1". C'est, en effet, la tension de référence V_{ref} telle que, appliquée aux deux entrées d'un multiplieur M, elle vérifie

$$\boxed{M(V_{ref}, V_{ref}) = V_{ref}} \qquad (15)$$

Ainsi, les opérations Booléennes, définies algébriquement, peuvent être étendues à R et conservent certaines de leurs plus importantes propriétés. Celles qui ne supposent pas l'idempotence du produit ou du produel.

II.5 RESUME DES PRINCIPALES PROPRIETES STRUCTURELLES ETUDIEES SUR R

Le tableau récapitulatif, ci-contre, donne les principales propriétés structurelles étudiées sur R. Pour plus de détails voir [4].

Tableau n° 1

Résumé des principales propriétés structurelles étudiées par R

Ensembles Loi de composition	$X,Y \in R$	$X,Y \in \{0,1\}$	$X \in \{0,1\}$ $Y,Z \in R$
PRODUIT (ET, .)	GROUPE ABELIEN sur $R - \{0\}$	GROUPE ABELIEN sur $\{0,1\} - \{0\}$ réduit à l'élément neutre : identique à $\wedge$	
PRODUEL (OU, $\vee$)	GROUPE ABELIEN sur $R - \{1\}$	GROUPE ABELIEN sur $\{0,1\} - \{1\}$ identique à $\vee$	
(. , $\vee$)	Reliés par le théorème de MORGAN	Reliés par le théorème de MORGAN et la double distributivité	Distributivité de $X.(Y \vee Z)$ et de $X \vee (X.Z)$
(. , +)	Corps usuel sur R		

CHAPITRE III

EXPRESSIONS HYBRIDES ET FORMES A CHOIX EXCLUSIFS

III.1 RAPPEL SUR LES FORMES ALTERNATIVES ET FORMES A CHOIX EXCLUSIFS.

III.1.1 Définition d'une fonction carrée biforme : propriétés.

Une fonction carrée biforme sur $\{0,1\}^n$ a, par définition, l'une des deux formes suivantes

$$\boxed{\begin{array}{l}(\lambda \wedge A) \vee (\bar{\lambda} \wedge B) \\ (\lambda \vee A) \wedge (\lambda \vee B)\end{array}} \quad \begin{array}{l}\text{forme dite "produel de produits"} \\ \text{forme dite "produit de produels"}\end{array} \qquad (16)$$

1) $$\boxed{(\lambda . A) \vee (\bar{\lambda} . B) = (\bar{\lambda} \vee A) . (\lambda \vee B)} \qquad (17)$$

2) $\forall\, \lambda, A, B$, on a

$$\boxed{(\lambda . A) \vee (\bar{\lambda} \cdot B) = \lambda A + \bar{\lambda} B = \lambda A \oplus \bar{\lambda} B} \qquad (18)$$

III.1.2 Fonctions carrées biformes et consensus : définitions.

Soit une fonction carrée biforme

$$(\lambda \wedge A) \cdot (\bar{\lambda} \wedge B) = (\bar{\lambda} \vee A) \ . \ (\lambda \vee B)$$

On appelle consensus de la fonction carrée biforme, l'expression

$$A \wedge B$$

On appelle consensus dual l'expression

$$A \vee B$$

On montre [4] qu'une fonction carrée biforme peut s'écrire

$$(\lambda \wedge A) \vee (\bar{\lambda} \wedge B) = (A \vee B).F$$

ou

$$(\lambda \wedge A) \vee (\bar{\lambda} \wedge B) = (A \wedge B).G$$

d'où les théorèmes de simplification.

Soit $\mathcal{F}$ une fonction carrée biforme de consensus $A \wedge B$ et de consensus dual $A \vee B$, on a

$$\boxed{\begin{array}{l}(A \vee B) \wedge \mathcal{F} = \mathcal{F} \\ (A \wedge B) \vee \mathcal{F} = \mathcal{F}\end{array}} \qquad (19)$$

III.2 EXTENSION DE LA NOTION DE FONCTION CARREE BIFORME : LA FORME ALTERNATIVE

III.2.1 Définitions.

Définition I

Soit H à valeurs dans R, mis sous une forme

$H = H_1 \vee H_2$ H_1, H_2 à valeurs dans R ;

nous dirons que cette forme est alternative si, et seulement si

$$H_1 \cdot H_2 = 0$$

. Définition II

Nous dirons qu'une forme alternative est complète si, et seulement si

$$\boxed{\begin{array}{l} H_1 \cdot H_2 = 0 \\ H_1 \vee H_2 \neq 0 \end{array}} \qquad (20)$$

Une des propriétés importantes citées dans [4] est la suivante :

si une forme est alternative

$$\boxed{H_1 \vee H_2 = H_1 + H_2} \qquad (21)$$

en effet

$$H_1 \vee H_2 = H_1 + H_2 - H_1 \cdot H_2$$

et

$$H_1 \cdot H_2 = 0 \Longrightarrow H_1 \vee H_2 = H_1 + H_2$$

De plus, si L_1 et L_2 sont deux expressions logiques (i-e à valeurs dans $\{0,1\}$) et A_1 et A_2 deux expressions quelconques.

Alors, dès que

$$L_1 \cdot L_2 = 0$$

$(L_1 \cdot A_1) \vee (L_2 \cdot A_2)$ est une forme alternative.

De plus, toute forme alternative $H_1 = H_1 \vee H_2$ peut se mettre sous cette forme.

Il suffit de définir $(L_1 = 0) \Longleftrightarrow (H_1 = 0)$

$$(L_2 = 0) \Longleftrightarrow (H_2 = 0)$$

Dans la suite, nous mettrons toujours une forme alternative sous la forme

avec

$$\boxed{\begin{array}{c} H = L_1H_1 + L_2H_2 \\ L_1 \cdot L_2 = 0 \end{array}} \qquad (22)$$

III.2.2 Formes à choix exclusifs.

III.2.2.1 Définitions

. Définition I

Une forme

$$\boxed{H = \bigvee_{i=0}^{\ell} H_i} \qquad (23)$$

se dit à choix exclusifs si, et seulement si,

$$\forall\, i,j \in \{0,\ldots\ell\}\ ;\ i \neq j \Longrightarrow H_i\, H_j = 0$$

. Définition II

Une forme vérifiant la définition ci-dessus, et telle que, en outre

$$\bigvee_{i=1}^{\ell} H_i \neq 0$$

sera dit "forme complète à choix exclusifs".

II.2.2.2 Propriétés

1)

$$\boxed{\bigvee_{i=1}^{\ell} H_i = \sum_{i=1}^{\ell} H_i} \qquad (24)$$

2) Soient L_1, ... L_ℓ des expressions logiques, et une forme

$$H = \sum_{i=1}^{\ell} L_i\, H_i \quad \text{avec} \quad H_i \text{ quelconque}$$

Dès que $\forall\ i \neq j \quad L_i \cdot L_j = 0$, alors : H est une forme à choix exclusifs. De plus, toute forme à choix exclusifs peut s'écrire ainsi

$$\boxed{\bigvee_{i=1}^{\ell} L_i\ H_i = \sum_{i=1}^{\ell_1} L_i\ H_i} \qquad (25)$$

III.2.3 Résumé des principales propriétés des formes à choix exclusifs.

Le tableau 2, ci-contre, présente les propriétés principales des formes à choix exclusifs, pour plus de détails, voir [4].

Tableau n° 2

	Formes complètes	Formes incomplètes
$\sum_i H_i = \bigvee_i H_i$	oui	oui
$\exists L_i$: $\bigvee_i H_i \equiv \bigvee_i L_i H_i$	oui	oui
$L_i L_j = 0$	oui	oui
$\bigvee_i L_i = 1$	oui	non
$\bigvee_i L_i H_i = \prod (L_i \vee H_i)$	oui	non
$\overline{\bigvee_i L_i H_i} = \bigvee_i L_i . \overline{H}_i$	oui	non
$\bigvee_i H_i = \bigoplus_i H_i$	oui	oui
Dans une forme, on peut distribuer le produit.	oui	oui

PRINCIPALES PROPRIETES DES FORMES A CHOIX EXCLUSIFS

III.3 EXPRESSIONS HYBRIDES ET FORMES A CHOIX EXCLUSIFS

III.3.1 Introduction.

Nous avons défini différentes opérations sur R et associé à ces opérations des structures particulières, alternatives ou plus généralement à choix exclusifs. Nous allons maintenant donner la mise sous forme à choix exclusifs d'expressions hybrides assez générales.

Si nous nous sommes intéressés plus particulièrement à ces formes, c'est que les problèmes de synthèses sont très fréquemment, pour ne pas dire quasi-exclusivement sous des formes à choix exclusifs.

D'autre part, ces formes proposent, de par leurs transformations, une grande richesse de choix dans les différentes possibilités de réalisations techniques. Les fonctions hybrides doivent regrouper :

. les fonctions analogiques

. les fonctions logiques.

III.3.2 Expressions algébriques hybrides (E.A.H.).

III.3.2.1 Définition.

Une expression algébrique hybride (E.A.H.) est une forme dans R, définie sur une partie R^n de la forme :

$$\{0,1\}^{\nu_1} \times R^{\nu_2} \times \{0,1\}^{\nu_3} \ldots \quad R^{\nu_p}$$

avec

$$\nu_i \in N \; ; \; \nu_i \geq 0 \; ; \; \sum_{i=1}^{p_1} \nu_i = n$$

et qui vérifie :

"les variables $X_1,\ldots,X_n$ qui figurent dans cette forme sont composées entre elles de façon quelconque par les opérations ci-dessus étudiées : V, —, ..., +, et leurs inverses, sous réserve de définition".

Si cette forme prend ses valeurs sur une partie de R réduite à {0,1}, on pourra parler d'E.A.H. Logique.

III.3.2.2 Exemples.

. Une fonction logique quelconque est une E.A.H.

. Une expression analogique de la forme : (aA + bB).C est un exemple d'E.A.H.

En pratique, toutes les expressions analogiques dans lesquelles n'interviennent pas les opérateurs de la classe "générateur de fonction", ni bien sûr les opérateurs fonctionnels, sont des E.A.H.

. Une porte analogique-logique $\pi(\lambda,X) = \lambda X$ est une E.A.H.

III.3.2.3 Somme d'E.A.H.

Soit

$$H = \sum_{i=1}^{\ell_1} \lambda_i A_i \qquad \lambda_i \in \{0,1\} \; ; \; A_i \text{ E.A.H.}$$

H admet au moins une décomposition alternative complète

$$H = \sum_{i=1}^{\ell} \lambda_i A_i = \lambda_j (A_j + \sum_{\substack{i=1 \\ i \neq j}}^{\ell} \lambda_i A_i) + \overline{\lambda}_j (\sum_{\substack{i=1 \\ j \neq i}}^{\ell} \lambda_i A_i)$$

en effet, multiplions les deux membres de l'expression par $(\lambda_j + \overline{\lambda}_j)$; on a

$$H = \sum_{i=1}^{\ell} \lambda_i \, (\lambda_j + \overline{\lambda}_j) A_i$$

$$= + \lambda_j \, (A_j + \sum_{\substack{i=1 \\ j \neq i}}^{\ell} \lambda_i A_i) + \overline{\lambda}_j \, (\sum_{\substack{i=1 \\ j \neq i}}^{\ell} \lambda_i A_i)$$

d'où, si on pose

$$\boxed{H_j = \sum_{\substack{i=1 \\ j \neq i}}^{\ell} \lambda_i \, A_i} \qquad (26)$$

on a

$$\boxed{H = \lambda_j (A_j + H_j) + \overline{\lambda}_j \, H_j} \qquad (27)$$

III.3.2.4 Produels d'E.A.H.

Soit H une E.A.H. de la forme :

$$H = \bigvee_{i=1}^{\ell} \lambda_i A_i,\ \lambda_i \in \{0,1\}\ ;\ A_i \text{ E.A.H.}$$

Soit $j \in \{1,\ldots\ell\}$

Multiplions l'expression ci-dessus par $(\lambda_j \vee \bar{\lambda}_j) = 1$, puisque $\lambda_j \in \{0,1\}$.

On a

$$H = (\lambda_j \vee \bar{\lambda}_j) \cdot \bigvee_{i=1}^{\ell} \lambda_i A_i$$

Comme $(\lambda_j \vee \bar{\lambda}_j) \in \{0,1\}$, le produit est distributif par rapport au produel d'où

$$H = \bigvee_{i=1}^{\ell} \lambda_i\ (\lambda_j \vee \lambda_j) A_i$$

λ_j et λ_i étant une fonction carrée biforme, on a

$$\lambda_j \vee \bar{\lambda}_j = \lambda_j + \bar{\lambda}_j$$

d'où

$$H = \bigvee_{i=1}^{\ell} (\lambda_i\ \lambda_j\ A_i + \lambda_i\ \bar{\lambda}_j\ A_i)$$

le terme sous le signe V peut s'écrire

$$H_{ij} \overset{\Delta}{=} \lambda_j\ (\lambda_i A_i) + \bar{\lambda}_j (\bar{\lambda}_i A_i)$$

ce qui est une fonction carrée biforme.

Par conséquent

$$H_{ij} = \lambda_j(\lambda_i A_i) \vee \bar{\lambda}_j(\lambda_i A_i)$$

Donc

$$H = \bigvee_{i=1}^{\ell} \left[(\lambda_j A_i \lambda_i) \vee (\bar{\lambda}_j \lambda_i A_i)\right]$$

d'où associativité et commutativité de v

$$H = \left[\lambda_j A_j \vee \bigvee_{\substack{i=1 \\ i\neq j}}^{\ell} \lambda_j \lambda_i A_i)\right] \vee \bigvee_{\substack{i=1 \\ i\neq j}}^{\ell} \bar{\lambda}_i \lambda_i A_i$$

et puisque $\lambda_j \varepsilon\{0,1\}$; $\bar{\lambda}_j \varepsilon \{0,1\}$ et compte tenu de la distributivité

$$H = \lambda_j \left[A_j \vee \bigvee_{\substack{i=1 \\ i\neq j}}^{\ell} \lambda_i A_i\right] \vee \bar{\lambda}_j \bigvee_{\substack{i=1 \\ i\neq j}}^{\ell} \lambda_i A_i$$

On reconnaît là une décomposition alternative.

Posons

$$\boxed{H_j = \bigvee_{\substack{i=1 \\ i\neq j}}^{\ell} \lambda_i A_i} \qquad (28)$$

Nous pouvons énoncer

$$H = \bigvee_{\substack{i=1 \\ i\neq j}}^{\ell} \lambda_i A_i \triangleq \lambda_j A_j \vee H_j$$

$$H = \left[\lambda_j (A_j \vee H_j)\right] \vee (\bar{\lambda}_j H_j) \qquad (29)$$

III.3.2.5 Produits d'E.A.H.

Nous voulons énoncer seulement le résultat, le détail de la démontration se trouve dans [4].

Soit les produits d'E.A.H. de la forme

$$H = \prod_{i=1}^{\ell} \lambda_i A_i = \left(\prod_{i=1}^{\ell} \lambda_i\right) \prod_{i=1}^{\ell} A_i$$

qu'on peut, par application du théorème de MORGON écrire

$$H = \prod_{i=1}^{\ell} (\lambda_i \vee A_i)$$

Donc, si H est une E.A.H. de la forme

$$H = \prod_{i=1}^{\ell} (\lambda_i \vee A_i), \ \lambda_i \in \{0,1\} \ ; \ A_i \quad \text{E.A.H.}$$

avec

$$H = \bar{\lambda}_j (A_j \cdot H_j) + \lambda_j H_j$$

$$H_j = \prod_{\substack{i=1 \\ i\neq j}}^{\ell} (\lambda_i \vee A_i) \qquad (30)$$

Il peut être intéressant de pousser plus loin la décomposition d'une E.A.H. et de ne pas se borner à l'alternative décrite par une fonction carrée biforme (en forme à choix exclusifs par exemple), il suffit pour celà de consulter l'étude faite par A. BONNEMAY [4] où se trouvent développées les fonctionnelles d'une E.A.H. telles que les opérateurs, intégrateur, retard sur l'amplificateur sommateur-mémoire "TRACK-STORE",...

CHAPITRE IV

STABILITE DES BOUCLES ALGEBRIQUES

IV.1 INTRODUCTION

Il semble a priori que les calculateurs analogiques soient aptes à résoudre les systèmes algébriques. Il est, en effet, facile de composer sur papier un schéma analogique représentant de tels systèmes ; l'expérience montre que ce schéma matérialisé sur machine ne conduit pas toujours à la solution.

Cela tient au fait que les gains des amplificateurs ne sont pas constants, mais sont des fonctions de l'opérateur de LAPLACE, (voir formule 31). On montre alors que les régimes transitoires qui conduiraient à l'état défini par les équations, peuvent donner des oscillations diver-

gentes si certaines précautions ne sont pas prises.

C'est à ce stade que commencent les difficultés. Elles sont liées non pas à la nature mathématique du problème mais à des instabilités des circuits. De nombreux auteurs se sont penchés sur les problèmes de la résolution des systèmes algébriques et de la stabilité.

Les méthodes employées qu'on trouve bien détaillées dans les différents ouvrages traitent le problème de la stabilité des circuits électriques. On peut citer entre autre [6], [7], [8].

IV.2 BOUCLES A NOMBRE PAIR OU IMPAIR D'AMPLIFICATEUR

L'analyse des boucles présentes dans les circuits permet souvent de conclure si le montage risque d'être instable. Ces boucles algébriques sont succeptibles de présenter des réactions qui peuvent créer des erreurs de calcul.

En règle pratique, il est utile de se méfier des boucles comprenant un nombre pair d'amplificateurs (donc un nombre pair d'inversions de signes), car elles satisfont à une condition de réaction positive.

En effet, l'augmentation en un point d'une tension amènera par le retour de la boucle une augmentation supplémentaire de cette tension qui peut rendre les circuits instables, surtout si le gain de la boucle est plus grand

que l'unité. La réaction positive conduit tous les amplificateurs de la boucle à se saturer, mais ceci n'a rien d'absolu.

De même, une boucle avec un nombre impair d'amplificateurs constitue une boucle de réaction négative ; une telle chaîne considérée généralement comme stable, peut être instable pour certaines valeurs de gain de la boucle.

En effet, avec une boucle de réaction négative, la tension de sortie d'un amplificateur est directement proportionnelle à la somme des tensions d'entrée multipliée par certains facteurs et par hypothèse admise, lorsque toutes les tensions sont nulles, la tension de sortie l'est également. Malheureusement, les circuits qu'on rencontre ne peuvent remplir cette condition bien qu'un circuit d'équilibrage permette d'ajuster la tension de sortie à zéro.

L'équilibrage d'un amplificateur varie d'une façon imprévisible dans le temps et souvent un déréglage suffit pour créer une erreur de l'opération réalisée par l'unité de calcul, une telle variation erratique de l'équilibrage s'appelle la dérive.

A l'inverse de la réaction positive, la réaction négative diminue la dérive et elle stabilise parfois les boucles algébriques.

Précisons ces notions qui se trouvent détaillées dans [6], [9].

Une bonne approximation de la fonction de transfert d'un amplificateur sommateur est

$$A = \frac{-K}{1 + \tau p} \tag{31}$$

K est le gain à fréquence nulle de l'opérateur (ne pas confondre avec le gain de l'amplificateur en boucle ouverte).

τ est la constante de temps de cet opérateur égal au produit de la résistance de contre-réaction par la capacité C parasite de l'amplificateur, elle aussi en contre-réaction.

A la pulsation ω, le rapport des amplitudes est

$$K(1 + \tau^2 \omega^2)^{-1/2} \tag{32}$$

et l'angle de déphasage

$$-\pi - \text{arctg}\ (\tau\omega) \tag{33}$$

Pour n amplificateurs analogues au précédent et intervenant dans une boucle, le gain total est

$$K_T = K^n\ (1 + \tau^2\omega^2)^{-n/2} \tag{34}$$

et le déphasage

$$\boxed{\varphi = - n\Pi - n \operatorname{arctg} (\tau\omega)} \qquad (35)$$

Pour que le système soit stable, il faut que K_T soit inférieur à l'unité, quand φ est égal à un multiple pair de π radians.

Pour n pair, il faut donc que la valeur K^n du gain à fréquence nulle soit inférieure à l'unité.

Pour n impair, la valeur maximale de K^n dépend de n et est supérieure à l'unité.

Ainsi pour n = 3, la valeur critique du déphasage pour chaque amplificateur vaut $-\frac{\pi}{3}$, soit $\tau\omega = \sqrt{3}$; on en déduit que le gain maximal admissible pour $\omega = 0$, vaut 8.

En pratique, on admet des gains inférieurs aux valeurs calculées, pour tenir compte de l'approximation faite sur la fonction de transfert de l'opérateur.

IV.3 METHODES DES INTEGRATEURS

Nous venons de voir que tout système analogique qui cherche à représenter un système algébrique est, en réalité,différentiel. Il est difficile de connaître exac-

tement le comportement d'un tel système car dans le domaine des hautes fréquences où l'on se place, les fonctions de transfert des amplificateurs sont mal connues.

Il est plus logique de remplacer volontairement l'étude du système algébrique par celle d'un système différentiel dont les caractéristiques sont connues.

Le régime permanent stable du second représente la solution du premier.

IV.4 SYSTEMES ALGEBRIQUES LINEAIRES

Soit à résoudre le système algébrique de n équations à n inconnues

$$\sum_{j=1}^{n} a_i X_j + b_i = 0 \qquad (36)$$

$$(i = 1, 2, \ldots, n)$$

Chaque équation est définie par son rang i et se présente sous la forme d'une somme de (n + 1) termes. On la matérialise par un amplificateur sommateur délivrant la grandeur χ_i suivant le schéma de principe ci-contre (figure 1).

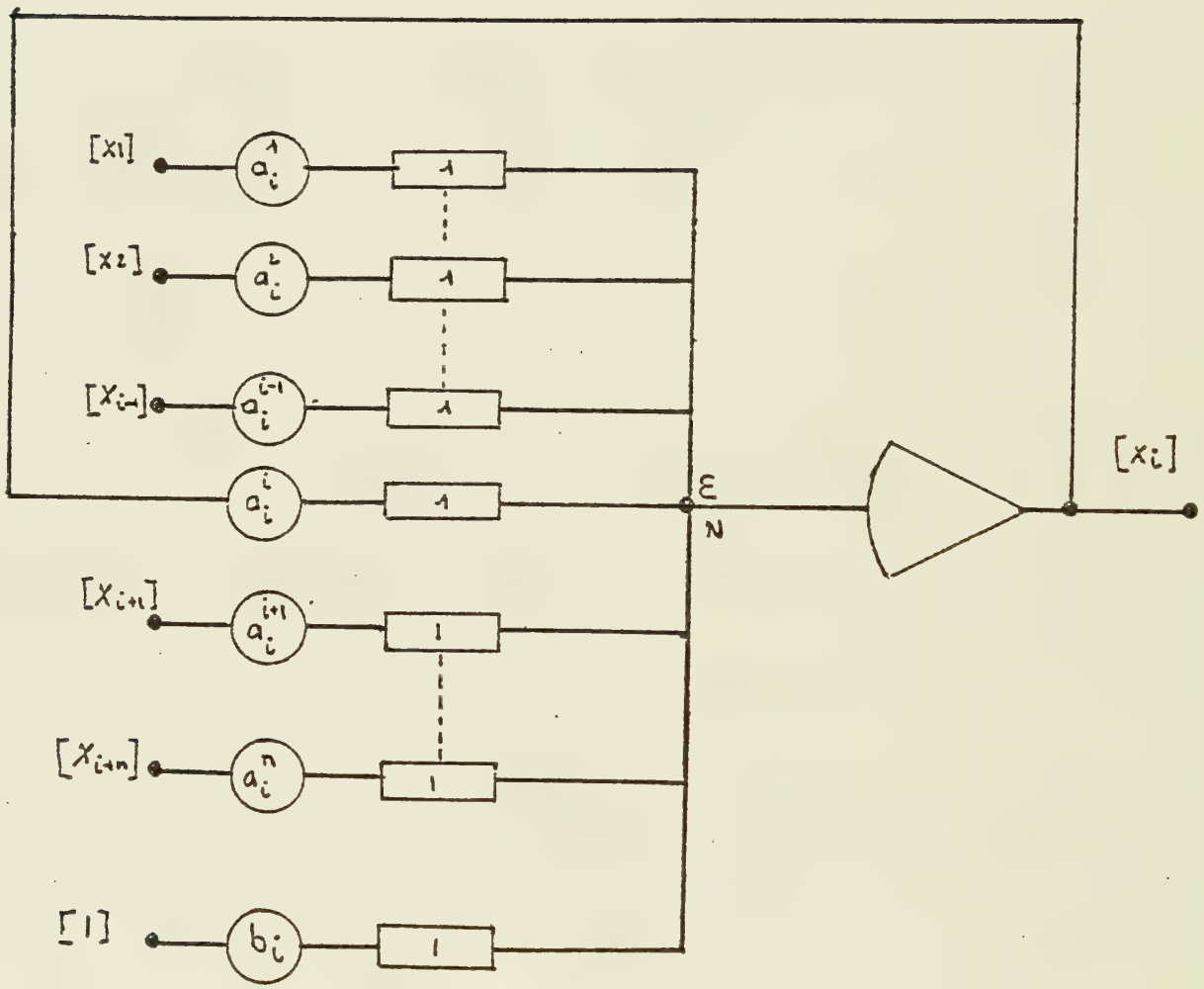


FIGURE N°1

Les résistances d'entrée sont supposées toutes égales pour simplifier le raisonnement. Nous avons, en outre, admis que les coefficients b_i étaient positifs et inférieurs à la référence unitaire (1).

Nous considérons ses racines comme les positions d'équilibre stable d'un système différentiel que nous notons

$$\sum_{j=1}^{n} a_i^j X_j + b_i = \lambda_i \frac{dX_i}{dt} \qquad (37)$$

L'équation caractéristique de ce système est un polynôme en p de degré n dont les coefficients dépendent entre autres des valeurs λ_i que nous traitons comme n paramètres permettant de stabiliser le circuit.

Un schéma analogique déduit de la figure 2, répondra à la relation suivante

$$\sum_{j=1}^{n} a_i^j X_j + b_i + p\, c_i X_i = 0 \qquad (38)$$

En supposant infini le gain en boucle ouverte (voir figure 2).

En comparant (37) et (38), il y a équivalence si

$C_i = \lambda_i$.

En réalité, nous avons vu que le gain de l'amplificateur dans le domaine des fréquences où les instabilités peuvent apparaître est de la forme $-\frac{K}{p}$.

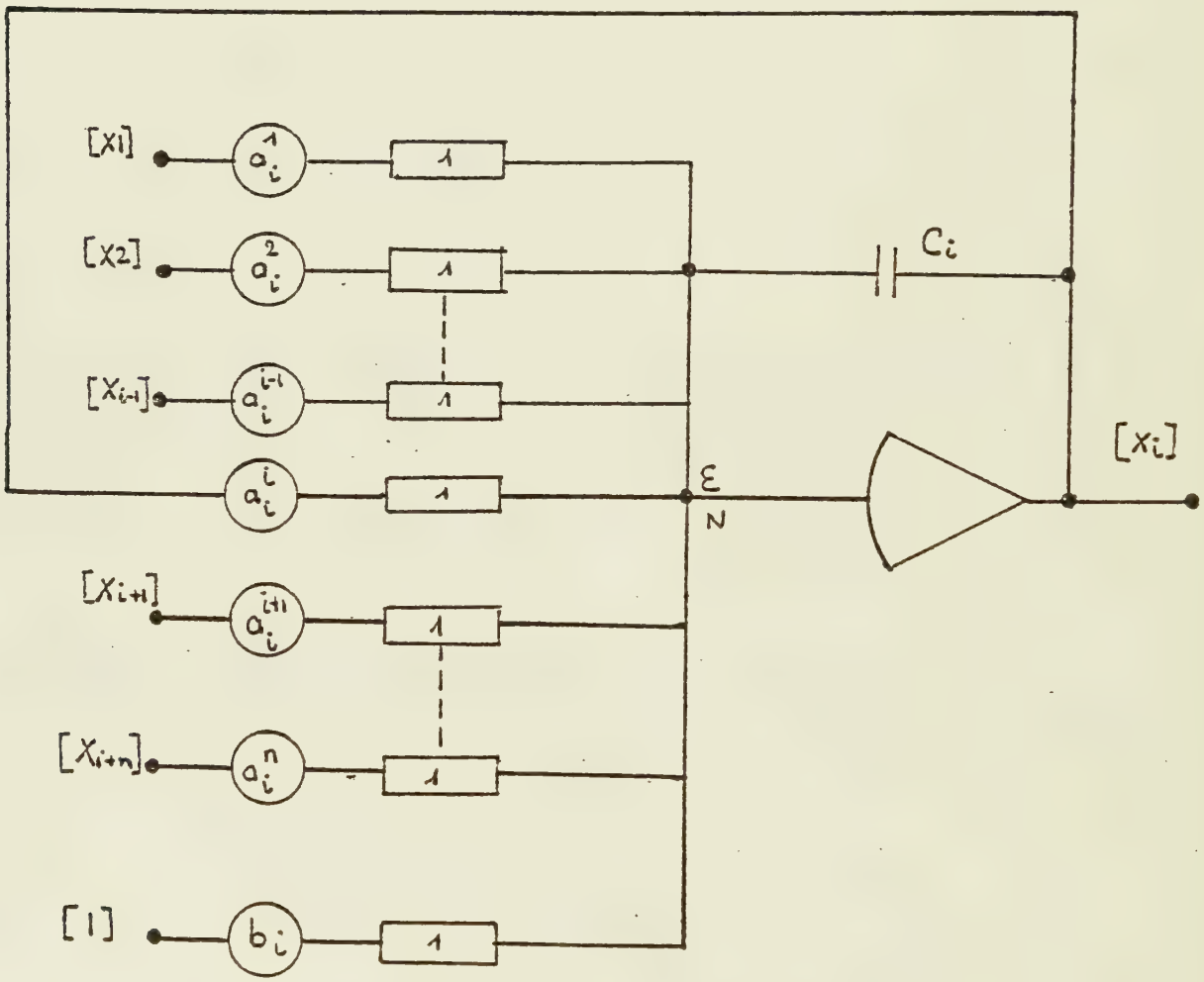


FIGURE N°2

Le système effectivement traité s'écrit

$$\begin{cases} \sum_{j=1}^{n} (a_i^j X_j - \varepsilon) + (b_i - \varepsilon) + (p\, c_i X_i - \varepsilon) = 0 \\ X_i = -\frac{K}{p}\,\varepsilon \end{cases} \qquad (39)$$

En éliminant ε, on obtient

$$\sum_{j=1}^{n} a_i^j X_j + b_i + p\, c_i X_i + p\,\frac{n+2}{K} X_i = 0 \qquad (40)$$

On retrouve bien (38) si le dernier terme $p\,\frac{n+2}{K} X_i$ est négligeable devant $p\, c_i X_i$, c'est-à-dire si

$$C_i >> \frac{n+2}{K} \qquad (41)$$

Cette condition sera remplie si les valeurs des C_i ne sont pas trop petites ; en général, elles seront de 0.01 µF à 0.001 µF.

Dans la pratique, on programme le système (39) écrit

sous la forme

$$\boxed{\frac{dX_i}{dt} = \frac{1}{\lambda_i} \cdot \left(\sum_{j=1}^{n} a_i^j X_j + b_i \right)} \qquad (42)$$

Les conditions initiales à l'instant t = 0 n'intervenant pas sur le régime permanent peuvent être choisies arbitrairement.

Il reste à définir les λ_i dont le choix est lié à la matrice des coefficients $\| a_i^j \|$.

1) Si $\| a_i^j \|$ est définie positive, ses valeurs propres sont réelles et positives. Aucune difficulté ne se présente pour la stabilité, il suffit de choisir des λ_i négatifs et des valeurs telles que les inégalités soient vérifiées. On cherche à donner aux λ_i des valeurs aussi petites que possibles pour que le transitoire menant de l'état initial au régime permanent soit très court.

2) Si la matrice $\| a_i^j \|$ est quelconque, on peut la rendre définie positive en la multipliant par sa transposée : on se ramène au cas précédent.

Comme cette multiplication demande un temps de préparation très long, dès que l'ordre du système s'élève, on adopte une solution moins théorique.

On introduit successivement les n variables inconnues dans les n équations différentielles du système (39). A chaque nouvelle introduction d'une inconnue, on ajuste en grandeur et en signe les λ_i pour que le montage reste stable. On procède ainsi de proche en proche jusqu'à la simulation complète du modèle.

Ce procédé simple et rapide peut trouver une justification rigoureuse à partir de la théorie des amplificateurs à réaction.

Ces propriétés se généralisent sans difficultés aux boucles non linéaires.

Cette généralisation est développée dans [6], [9], [7].

CHAPITRE V

ETUDE EXPERIMENTALE ET PRESENTATION DU PROCESSEUR

V.1 CARACTERISTIQUES FONDAMENTALES DU PROCESSEUR

Le processeur multifonctions analogique-logique est un modèle élémentaire qui sera le bloc opérateur de base pour un futur calculateur à courant continu. Le schéma de principe est représenté par la figure 3.

Il est composé d'éléments généralement actifs. Il réalise un certain nombre d'opérations algébriques, logiques ou hybrides sur les tensions qui apparaissent en différents points de ses entrées (au nombre de trois) quand il est câblé entièrement à partir de ces mêmes éléments.

Schéma de principe du processeur multifonction analogique - logique

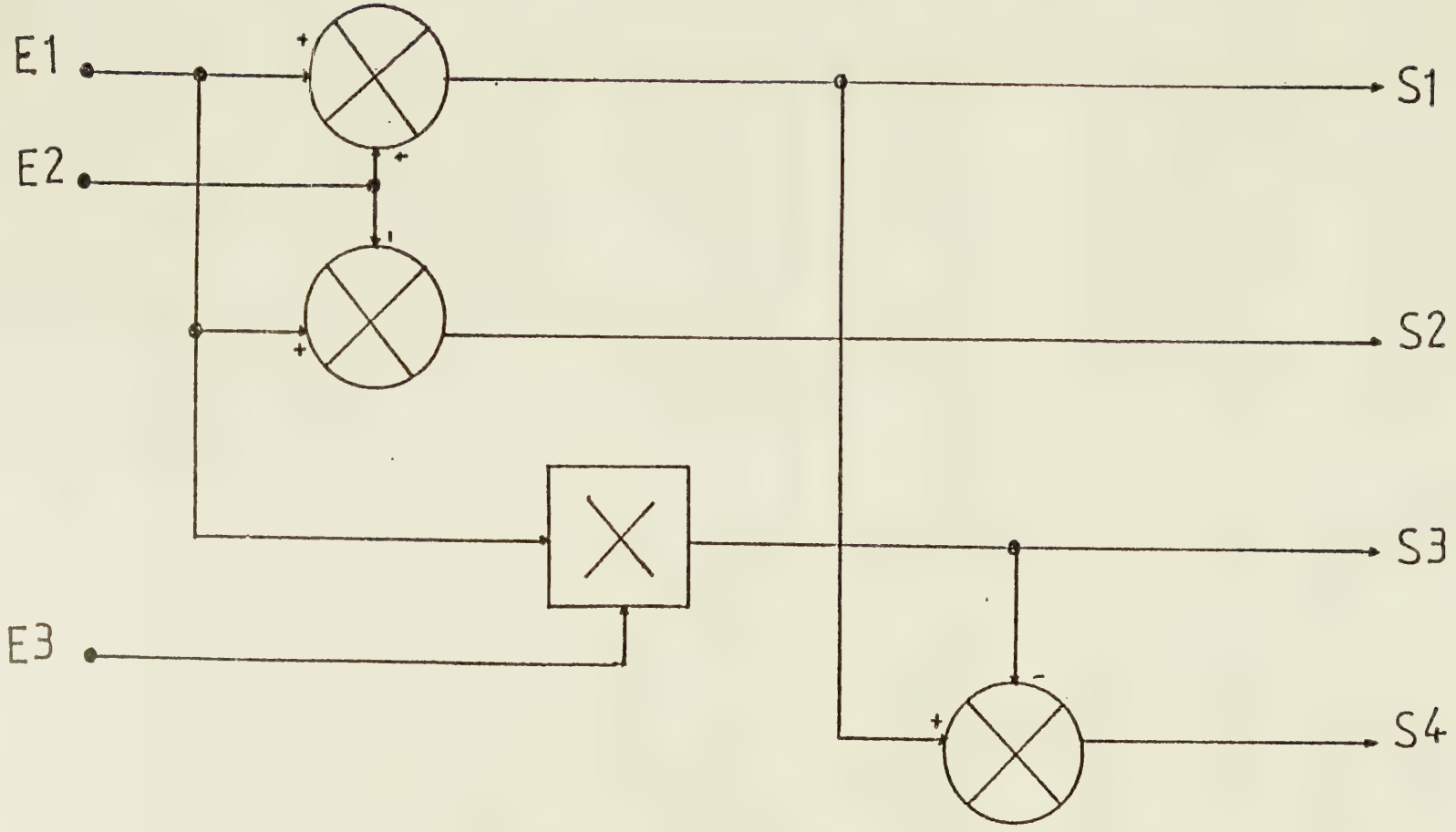


FIGURE N° 3

. Il fonctionne en parallèle

Les différentes opérations s'effectuent simultanément et instantanément. Il en résulte pour un calculateur analogique utilisant cet opérateur que le temps nécessaire à la résolution d'un problème est indépendant du nombre d'opérations à simuler.

Ce nombre n'intervient que sur la quantité de modules opérateurs à mettre en oeuvre. C'est pourquoi la puissance d'un calculateur est caractérisée par son nombre de modules opérateurs.

. Il fournit une représentation continue du phénomène étudié

Au cours d'un essai, la solution s'effectue d'une façon continue, c'est-à-dire que chaque tension représentative d'une variable d'un système peut être notée X(t).

Le temps t varie de façon continue de 0 à T, fin de l'essai.

. Il travaille avec une précision limitée

Les opérations réalisées par le processeur sont limitées par les performances électriques des éléments.

Or la précision du calculateur EAI 231-R sur quoi on va simuler le processeur est de l'ordre de 10^{-4}, donc la précision du module sera de même ordre que celui du calculateur.

Sans insister, retenons que cette limitation est, cependant, très satisfaisante pour la plupart des problèmes physiques à résoudre.

Il est possible de réaliser toutes les fonctions possibles avec ce module de base. Voir la liste des fonctions obtenues par ce processeur dans le tableau n° 3. Ce processeur pourra être réalisé en un circuit intégré et, par suite, sera peu encombrant ; il devrait connaître une très grande diffusion.

Il est raisonnable d'espérer qu'il sera très peu coûteux.

V.2 DESCRIPTION DU PROCESSEUR

Le modèle élémentaire de calcul (processeur) a été conçu à partir des considérations théoriques développées ci-dessus et qui sont largement détaillées dans |4|.

Il se caractérise par trois entrées et quatre sorties. Sur les entrées, on peut appliquer :

. soit trois signaux analogiques
. soit trois signaux logiques
. soit trois signaux hybrides.

Les variables logiques qu'on peut présenter aux entrées sont caractérisées par le fait qu'elles ne prennent que les valeurs 0 ou 1.

A partir de ces différents signaux d'entrée, le processeur permet de réaliser diverses fonctions qui appartiennent à l'une des trois classes suivantes, celles :

. de fonctions algébriques

. de fonctions logiques

. de fonctions hybrydes.

Certaines fonctions, voir tableau n° 3, ne présentent pas de difficultés, d'autres telles que les fonctions hybrides nécessitent une étude sur la précision, étude qui est abordée plus loin.

D'autre part, les différentes fonctions étudiées pour ce modèle, varient d'une façon continue et sont mesurées et non comptées. Le processeur traite à l'aide des fonctions électroniques simples dont les valeurs de sortie sont (S1), (S2), (S3), (S4), trois tensions d'entrée (E1), (E2), (E3), éventuellement variables au cours de temps. Sur le schéma de principe, les tensions sont présentées respectivement aux points E1, E2, E3 (les entrées) et S1, S2, S3, S4 (les sorties) liés entre eux par les équations ci-dessous

$$(S1) = (E1) + (E2)$$

$$(S2) = (E1) - (E2)$$

$$(S3) = (E1) - (E3)$$

$$(S4) = (E1)+(E2) - (E1)-(E3)$$

V.3 PRESENTATION SYMBOLIQUE DES OPERATEURS ANALOGIQUES

Pour simplifier les schémas et améliorer leur clarté, les opérateurs analogiques sont représentés symboliquement, en faisant abstraction de leur constitution électronique interne.

Les symboles correspondant aux opérateurs fondamentaux sont représentés sur le tableau n° 4.

V.4 PROGRAMMATION DU PROCESSEUR

Le module élémentaire de calcul ne présente aucune commutation interne. La programmation se réalise par simple imposition de tensions représentatives de grandeurs d'entrée aux points E1, E2, E3.

Il réalise alors un ensemble de fonctions algébriques, logiques ou hybrides. Nous donnons, ci-après la liste non exhaustive des fonctions choisies parmi les plus importantes réalisées par le processeur (tableau n° 3).

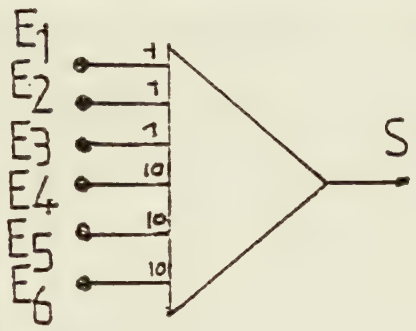
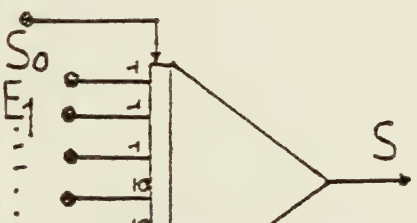
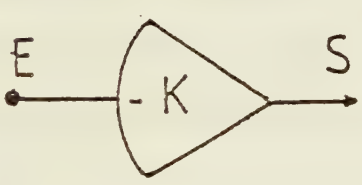
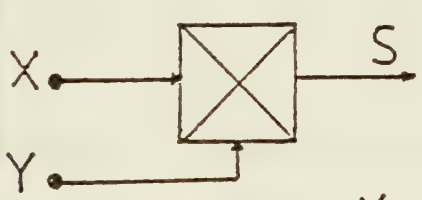
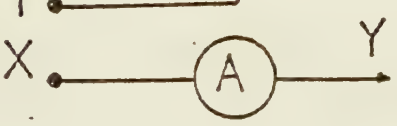
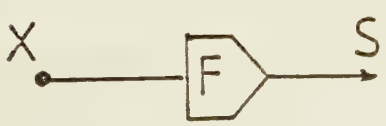
Du fait de l'existence de quatre sorties, et du fait que certaines entrées (φ) sont indifférentes, il s'en suit que certaines opérations sont compatibles, que leurs résultats peuvent être simultanément présentées sur différentes sorties.

Ces opérations sont indexées supérieurement$^{(i)}$, et toutes celles qui sont associées à une même valeur de i

Tableau n° 3

OPERATIONS	(E1)	(E2)	(E3)	(S1)	(S2)	(S3)	(S4)
(1) (5) (6) ADDITION	X	Y	φ	X+Y			
(1) (5) (6) SOUSTRACTION	X	Y	φ		X-Y		
(1) (2) (3) MULTIPLICATION	X	φ	Y			X·Y	
"Recopie le signal"	X	0	0	X recopie	X recopie	0	X recopie
DIVISION	(S4)	Y	X				$\frac{Y}{X}$
RACINE CARREE	(S4)	Y	(S4)				$\sqrt{Y}$
(2) Changt de signe	0	Y	φ		-Y		
(3) Compt à 1	1	Y	φ		1-Y		
(4) "ET"	λ	φ	μ			$\lambda\cdot\mu\equiv\lambda\ \mu$	
(4) "OU"	λ	μ	μ				$\lambda+\mu-\lambda\cdot\mu \equiv \lambda\ \mu$
"NON"	1	μ	φ		$1-\mu\equiv\overline{\mu}$		
OU EXCLUSIF	λ	μ	$2\mu^*$				$\lambda+\mu-2\lambda\mu \equiv \lambda\oplus\mu$
(5) Porte travail	X	φ	λ			$(\lambda\cdot X)$	
Porte repos	λ	X	$1+X^*$				$(\overline{\lambda}\cdot X)$
Porte travail	$\overrightarrow{\lambda}^*$	X	$1+X^*$				$(\lambda\cdot X)$
(6) Porte repos	X	φ	$\overrightarrow{\lambda}^*$			$(\overline{\lambda}\cdot X)$	

LISTE NON EXHAUSTIVE DE FONCTIONS CHOISIES PARMI LES PLUS IMPORTANTES REALISEES PAR LE PROCESSEUR

opérateur	symbole	fonction
sommateur		$S=-(E_1+E_2+E_3)$ $-10(E_4+E_5+E_6)$
intégrateur		$S=S_0-\int(E_1+E_2+E_3)$ $-10\int(E_4+E_5+E_6)dt$
mplificateur a grand ain(pas de contre réaction interne)		$S=-K\cdot E$
roduit de deux ariables		$S=X\cdot Y$
roduit d'une variable ar une constante		$Y=A\cdot X$
eneration de onction		$S=F(X)$

TAIBLEAU N°4

sont compatibles.

Les entrées suivies d'une étoile nécessitent dans ces exemples un prétraitement externe.

La réalisation des fonctions logiques et hybrides repose sur les identités logiques suivantes

$$\lambda \vee \mu \equiv \lambda + \mu - \lambda \cdot \mu$$

$$\lambda \wedge \mu \equiv \lambda \cdot \mu \qquad (43)$$

$$\overline{\lambda} \equiv 1 - \lambda$$

Les lettres λ, μ sont des tensions évoluant par niveau $\{0,1\}$ logiques ; 0 et 1 désigneront des niveaux de tensions analogiques ou logiques indifféremment.

V.5 ETUDE EXPERIMENTALE DU PROCESSEUR

V.5.1 Introduction.

On sait que le calcul analogique consiste dans le remplacement d'un système physique que l'on désire étudier par un autre dont la formulation mathématique est plus simple.

Le comportement du système original est alors déduit du second par analogie. Mais, il ne faut pas perdre de vue toutefois que la qualité de l'analogie dépend à la fois de la fidélité avec laquelle le matériel électronique représentera le modèle mathématique et de la quantité d'approximation de ce dernier.

La machine EAI 231-R sur laquelle notre module a été expérimenté est ancienne tant par sa technologie que par son organisation. C'est une machine équipée de tubes électroniques et de relais électromécaniques qui peuvent présenter des ennuis électroniques dûs au vieillissement du matériel ainsi qu'aux câbles défectueux et surtout des erreurs dues aux amplificateurs : changement du point de fonctionnement donc dérive, tolérence des résistances, précision, et des erreurs de calibrage des potentiomètres. Tout cela fait qu'on ne prétend pas faire sur cette machine une étude expérimentale précise, mais elle sera suffisante pour définir les plages de stabilité des différentes opérations qu'on désire effectuer au moyen de ce processeur. Nous ne rentrons pas dans la configuration de cette machine décrite dans [9], mais sachons tout de même qu'elle fonctionne avec les tensions de référence $V_{réf} = \pm 100$ volts.

V.5.2 Tensions de référence.

Toutes les mesures des grandeurs sur la machine analogique sont effectuées par rapport à une tension étalon de référence. On attribue la valeur 1 (sans dimension), par définition à cette tension de référence.

Les grandeurs analogiques varient, en général, entre - 1 et + 1. La valeur absolue de la tension de référence peut être de 10 volts, 20 volts ou 100 volts, selon les machines. Cette valeur n'est pas une grandeur significative.

Les machines qui équipent le centre du calcul hybride du CEA fournissent deux tensions de référence + 100 V et - 100 V stabilisées au mieux à 10^{-4}.

Ainsi, toutes les grandeurs qui figurent aux sorties des amplificateurs opérationnels seront comprises entre ces deux unités machines + 1 et - 1.

Notre processeur, même convenablement modifié, ne saurait présenter pour toutes les valeurs des tensions d'entrée les propriétés qui nous lui avons upposées.

Soit $|-V_{max}, +V_{max}|$, la plage de stabilité des opérations obtenues par le processeur, où V_{max} est prise égale à 50 volts et qui sera définie conventionnellement par 1.

Le niveau "1" du precesseur sera, par définition, le "1" du multiplieur 'i.e. la valeur d'idempotence de l'opérateur)

$$M(V_{ref}, V_{ref}) = V_{ref} / V_{ref} = 100 \text{ V}$$

Le "0" du processeur est commun à tous les éléments analogiques et logiques, relié au 0 volt des alimentations stabilisées et qui sera la masse du multiplieur.

V.5.3 Choix des échelles de correspondance, variables analogiques.

Dans notre cas, les variables sont des tensions électriques dont l'amplitude est toujours comprise entre - 1 et + 1 environ.

Il est souhaitable de connaître a priori l'ordre de grandeur des variations de toutes les variables réelles, afin de choisir au mieux les échelles de correspondance.

Comme V_{ref} du calculateur analogique est prise égale en valeur absolue à 100 V et que la valeur maximale réservée au processeur est fixée à 50 V. Toute variable sera alors comprise entre $-V_{ref} < V < V_{ref}$. On choisit pour variable analogique correspondante

$$\left[\frac{V}{V_{ref}}\right] = \left[\frac{V}{100}\right]$$

qui est reliée à V par la relation

$$V = V_{ref}\left[\frac{V}{V_{ref}}\right]$$

On est ainsi assuré par ce choix que la variable analogique est comprise entre - 1 et + 1 et les sorties du processeur seront, elles, comprises évidemment entre - 2. et + 2., car la tension de référence réservée à ce dernier est la moitié de celle de la machine analogique.

Les entrées du multiplieur de notre module ne peuvent présenter pour toutes les valeurs des tensions d'entrée les propriétés que nous lui avons supposées, la plage de validité des hypothèses faites est de la forme $|- V_{max}, V_{max}|$ où V_{max} est égale à 50 V. Il faut introduire un facteur correcteur α, tel que

$$M(V_{ref}, V_{ref}) = V_{ref}$$

Soient X et Y les entrées du multiplieur ==> $\left[\frac{X}{100}\right]$ et $\left[\frac{Y}{100}\right]$ les variables analogiques liées respectives.

Si X = Y = 50 V, il faut que l'équation pour un α donné soit vérifiée

$$\left[\alpha \frac{X}{100}\right] \left[\alpha \frac{Y}{100}\right] = \frac{50}{100} ?$$

$$\alpha^2 \frac{50}{100} \cdot \frac{50}{100} = \frac{50}{100}$$

$$\frac{\alpha^2}{4} = \frac{1}{2} \Longrightarrow \alpha^2 = 2$$

Ainsi, si la tension de référence du processeur est prise égale à $\frac{V_{ref}}{2}$ / $|V_{ref}|$ celle de la machine.

Toutes les grandeurs qui figureront aux sorties du processeur seront comprises entre $-2. \leq S_{max} \leq +2.$, les entrées du multiplieur seront non plus E1 et E3 mais αE1 et αE3 avec $\alpha = \sqrt{2}$, voir figure 2.

V.5.4 Remarques.

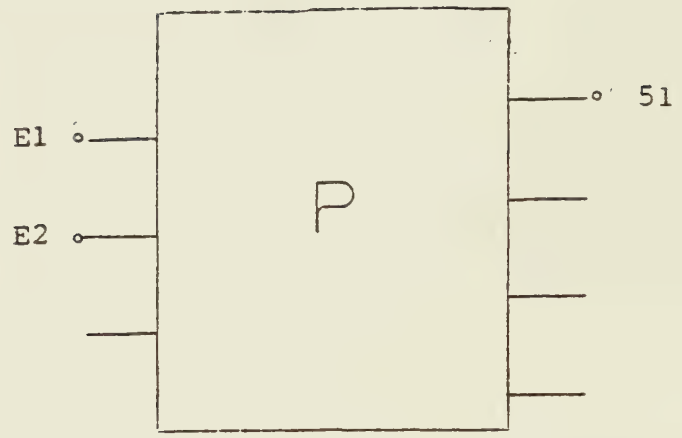
La machine analogique dispose d'un voltmètre numérique à quatre chiffres significatifs qui permettent de mesurer les grandeurs (résultats) avec une précision de 10^{-4} autour de la tension maximale, plus généralement, la précision est de 0.01 volt.

V.5.5 Les opérations algébirques.

V.5.5.1 Programmation de l'opération d'addition.

Le schéma de principe, ci-dessous, permet, par la simple imposition des tensions représentatives des grandeurs aux entrées respectives E1 et E2 avec E3 quelconque d'effectuer l'opération d'addition selon la relation suivante

$$S1 = E1 + E2 \qquad (44)$$



Le processeur effectue cette opération en boucle ouverte et pour les différentes valeurs attribuées à E1 ; E2 de l'intervalle [- 50 V à + 50 V], l'opération est stable (voir le tableau expérimental n° 5).

V.5.5.2 Programmation de l'opération de soustraction.

Le schéma de câblage analogique précédent permet d'obtenir cette opération, sauf que le résultat apparaît à la sortie S2 du module.

L'opération s'effectue selon la relation

$$S2 = E2 - E1$$

$$\forall \; E1 \; ; \; E2 \leftarrow \{-50 \text{ V à } +50 \text{ V}\}$$

(voir le tableau n° 6).

V.5.5.3 Programmation de l'opération de multiplication.

L'opération effectuée est

$$\boxed{S3 = E1 \,.\, E3} \qquad (46)$$

$$\forall\ E1, E3 \in \{-50\ V \text{ à } +50\}$$

Le même schéma de câblage de la figure n° 4 permet d'obtenir le résultat de cette opération avec une parfaite stabilité (voir tableau n° 7).

V.5.5.4 Programmation de l'opération de division.

a) le schéma de principe

L'opération de division s'effectue selon la relation suivante :

on pose $S4 = E1,\ E2 = Y,\ E3 = X \quad \forall\ Y, X \in \{-1, +1\}$

d'où $S1 = E1 + E2 = S4 + Y$

$S2 = E1 - E2 = S4 - Y$

$S3 = E1 \,.\, E3 = X \,.\, S4$

$S4 = E1 + E2 - E1.E3 = S4 + Y - XS4 \Longrightarrow$

$Y - XS4 = 0 \Longrightarrow \quad \boxed{S4 = \frac{Y}{X}} \qquad (47)$

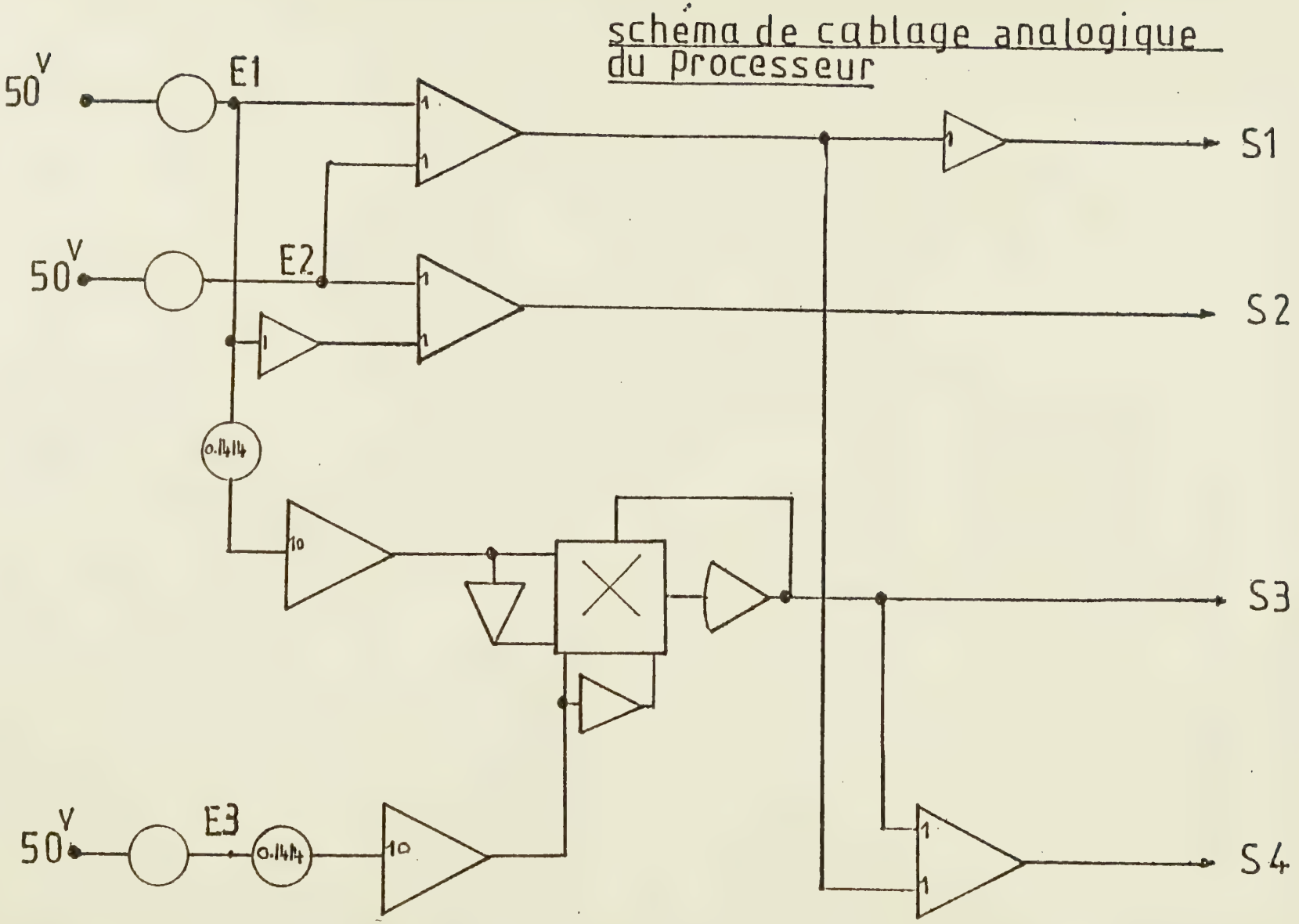
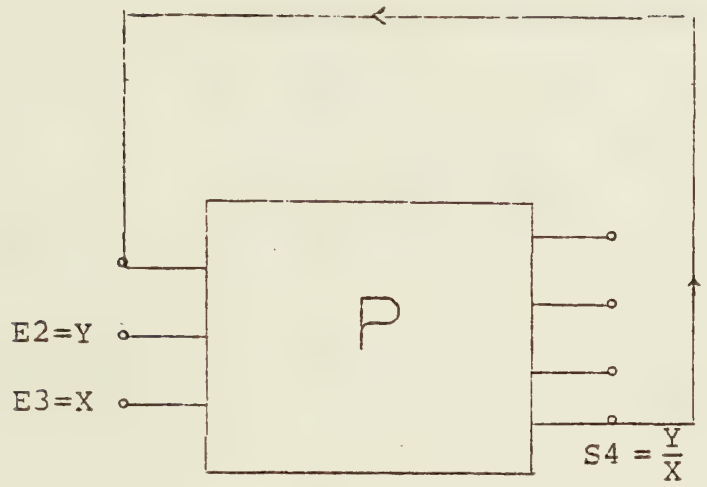


schéma de cablage analogique
du Processeur
50 V
E1
50 V
E2
0.1414
10
50 V
E3
0.1414
10
S1
S2
S3
S4

FIGURE N°4

d'où le schéma de principe



Le processeur opère en boucle fermée, il réalise l'opération de division à la condition toutefois que le circuit correspondant soit stable.

b) <u>les problèmes posés par l'opération de division</u>

. X nul et Y non infini => S4 est infinie. Or, dans les problèmes physiques, les valeurs infinies n'existent pas.

. X et Y → 0 et S4 a une valeur finie, même dans ce cas le schéma analogique n'est pas satisfaisant, d'où les précautions à prendre pour éviter ces conditions.

1) $|X| > |Y|$, en effet $|Y| > |X| \Rightarrow |S4|$ dépassera 100V, il y aura saturation. Parfois, même que les deux variables restent dans les limites normales, il y a risque de saturation.

schema de cablage du Processeur en boucle fermée

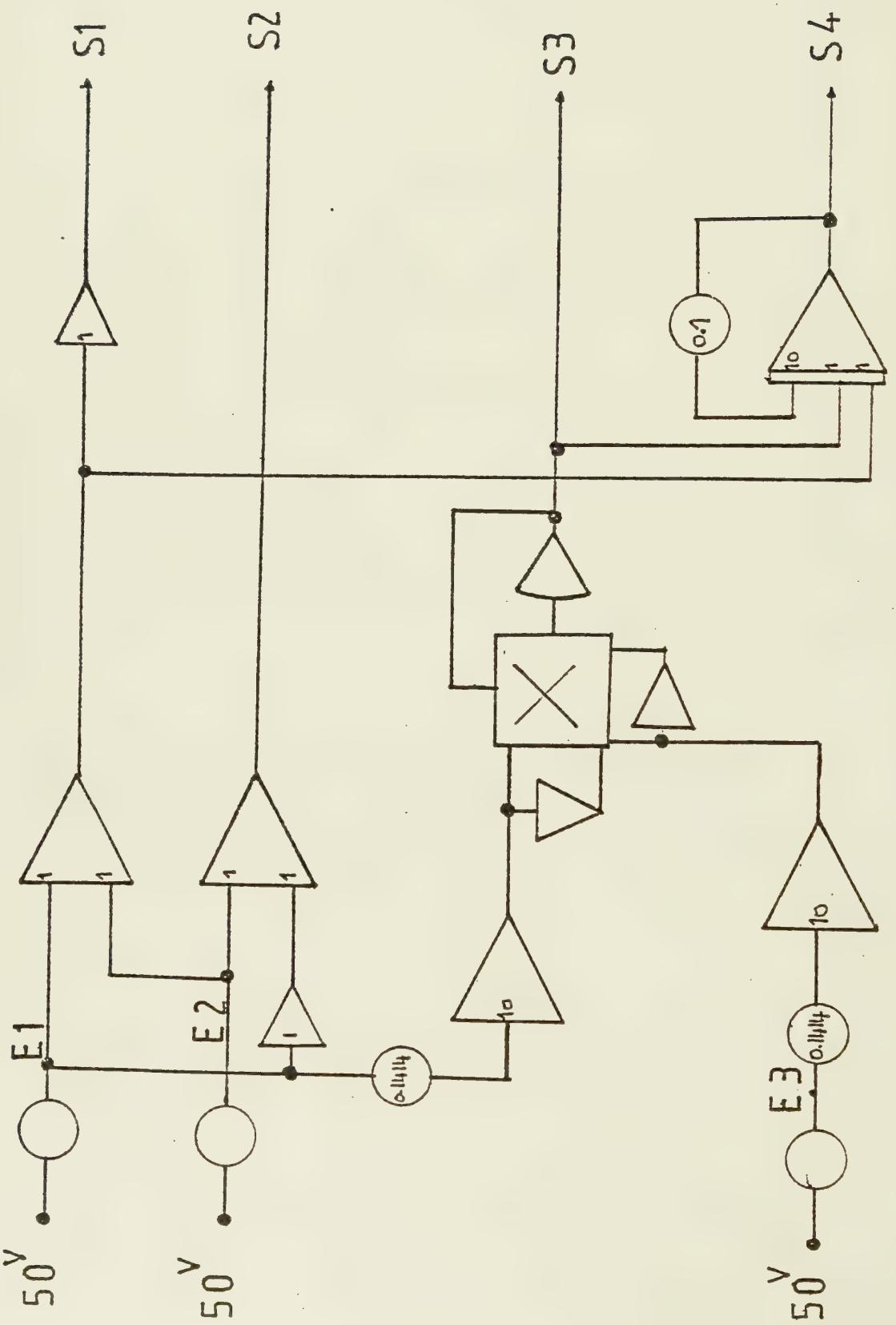


FIGURE N°5

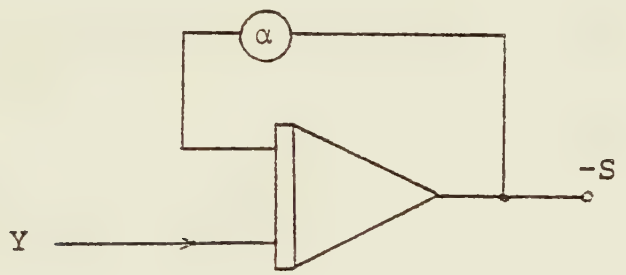
2) La variable X ne doit pas changer de signe.

Si X > 0, la division est correcte et stable.

Si X < 0, il faut modifier en conséquence les connexions du multiplieur.

3) Le schéma de câblage analogique, figure 5, présente une réaction positive donc risque d'instabilité.

La méthode de l'intégrateur permet de stabiliser le circuit. Pour cela, l'amplificateur opérationnel de la sortie (S4) sera remplacé par l'intégrateur-sommateur selon le schéma suivant :



Ce schéma représente une boucle algébrique linéaire à un seul élément actif.

On a $-\dot{S} = \alpha S + Y$

l'équation ci-dessus admet pour point d'équilibre

$$\alpha S + Y = 0$$

qui donne $S = -\frac{Y}{\alpha}$

et $S \longrightarrow -Y$ si $\alpha = 1$

donc, on boucle l'intégrateur-sommateur en question sur un potentiomètre affiché à 0.1 et on rentre sur un gain de 10, d'où le schéma de câblage de la figure 5.

L'intégrateur est en mode "FAST". Pratiquement, une capacité de contre-réaction encore beaucoup plus faible est suffisante pour stabiliser le circuit.

Il est à remarquer que le bouclage sur potentiomètre est prohibé dans le cas d'un intégrateur, mais possible sur un intégrateur-sommateur. Les résultats de cette opération figurent dans le tableau n° 8.

V.5.5.5 Programmation de l'opération de racine carrée.

a) schéma de principe

L'extraction de la racine carrée d'un nombre quelconque appartenant à l'intervalle de définition s'effectue selon la relation suivante :

on pose $E1 = E3 = S4,\ E2 = X$

d'où $S1 = E1 + E2 = S4 + X$

$S2 = E1 - E2 = S4 - X$

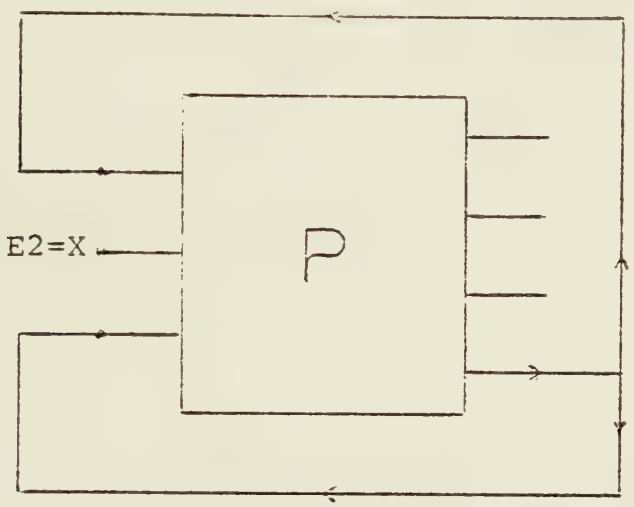
$S3 = E1 \cdot E3 = S4^2$

$S4 = E1+E2 - E1.E3 = S4 + X - S4^2 \Longrightarrow$

$X = S4^2 \Longrightarrow \boxed{S4 = \sqrt{X}}$ (48)

En effet, la fonction n'est stable que pour X > 0, ce qui élimine la solution négative,

d'où le schéma de principe ci-dessous



b) le schéma de câblage.

L'expérimentation de l'opération de racine carrée s'effectue selon le schéma de câblage de la figure 5 ; l'opérateur reste stable pour cette opération tant que X ε {0 à 50 V} au-delà commencent les instabilités (voir tableau n° 9).

V.5.5.6 Programmation de l'opération de changement de signe.

La programmation de cette opération s'effectue sans aucune difficulté selon la relation suivante,

on pose E1 = E3 = φ et E2 = X

on a S2 = - E2 + φ $\forall \varphi$

d'où

$$\boxed{S2 = - E2} \quad \text{pour } \varphi = 0 \qquad (49)$$

L'expérimentation a été effectuée selon le schéma de la figure 4 pour les résultats (voir tableau n° 10).

V.5.6 Les opérations logiques "ET", "OU", "NON", "OU EXCLUSIF".

V.5.6.1 Programmation de la fonction "ET" logique.

La fonction "ET" est un opérateur électronique réalisant sur deux entrées un ET logique ; la tension de sortie est délivrée à la sortie S3 suivant l'expression suivante

$\forall \lambda, \mu \in \{0,1\}$ / 50 V = 1 unité machine

et "0" la masse du multiplieur.

Si E1 = λ, E2 = , E3 = μ,

on aura

$$\boxed{S3 = E1 \,.\, E3 = \lambda \cdot \mu \equiv \lambda \wedge \mu} \qquad (50)$$

Tableau n° 5

E1	E2	E3	$S1_{th}$	$S1_{exp}$	S2	S3	S4
00200	00200	00000	00400	00403	00000	00000	00403
00300	00300	"	00600	00602	"	"	00600
00400	00400	"	00800	00803	"	"	00800
00500	00500	"	01000	01003	"	"	00999
00600	00600	"	01200	01206	"	"	01198
00700	00700	"	01400	01403	"	"	01396
00800	00800	"	01600	01615	"	"	01595
00900	00900	"	01800	01802	"	"	01821
01000	01000	"	02000	02001	"	"	01993
01300	01300	"	02600	02602	"	"	02590
01500	01500	"	03000	03001	"	"	02986
01700	01700	"	03400	03401	"	"	03385
01900	01900	"	03800	03802	"	"	03583
02000	02000	"	04000	04003	"	"	03982
03000	03000	"	06000	06003	"	"	05973
04000	04000	"	08000	08002	"	"	07960
05000	05000	"	10000	09996	"	"	09943
06000	06000	"	12000	12000	"	"	12000
65000	06500	"	13000	13000	"	"	13000
07000	07000	"	14000	14000	"	"	14000
07500	07500	"	15000	15000	"	"	15000

Tableau n° 6

E1	E2	E3	S1	$S2_{th}$	$S2_{exp}$	S3	S4
04997	00000	00000	04997	04997	04997	00000	04972
"	00200	"	05192	04797	04795 (7)	"	05180
"	00300	"	05300	04697	04697	"	05272
"	00400	"	05400	04597	04594	"	05399
"	00500	"	05506	04497	04495	"	05471
"	00600	"	05600	04397	04394	"	05595
"	00700	"	05700	04297	04294	"	05671
"	00800	"	05800	04197	04195	"	05770
"	00900	"	05899	04097	04095	"	05869
"	01000	"	06000	03997	03994	"	05969
"	02000	"	07030	02997	02994	"	06962
"	02500	"	07500	02497	02494	"	07500
"	03000	"	07999	01997	01994	"	07957
"	03500	"	08499	01497	01495	"	08454
"	04000	"	08999	00997	00995	"	08951
"	04500	"	09499	00497	00495	"	09449
"	04998	"	09996	00001	00000	"	09984

Tableau n° 7

E1	E2	E3	S1	S2	$S3_{th}$	$S3_{exp}$	S4
00000	04999	00000	04999	-04999		00000	
00000	"	00100	04999	-04999		00000	
00100	"	00200	05099	-04899		00204	
00200	"	00300	05199	-04799		00611	
00300	"	00400	05299	-04699		01216	
00400	"	00500	05399	-04599		02022	
00500	"	00600	05499	-04499		03026	
00600	"	00700	05599	-04399		04234	
00700	"	00800	05699	-04299		05063	
00800	"	00900	05799	-04199		07245	
00900	"	01000	05899	-04099		09053	
01000	"	01000	05999	-03999		10046	
01100	"	01100	06099	-03899		12019	
01200	"	01130	06199	-03799		12983	
01200	"	01135	06299	-03799		13282	
01200	"	01135	06299	-03799		SATURE	
01135	"	01135	06399	-03649		"	

Tableau n° 8

E1	E2	E3	S1	S2	S3	$S4_{th}$	$S4_{exp}$
	09982	00706	INS-TABLE	00741	09678		09238
"	09000	"	"	00690	08719		08336
"	08000	"	"	00617	07150		07379
"	04991	"	09598	00385	04836		04596
"	04000	"	07955	00044	03975		03952
"	03000	"	05969	00033	02983		02976
"	02000	"	03980	00020	01988		01977
"	01000	"	01993	00008	00994		00989
"	00000	"	00000	00000	00000		00000
"	04997	00600	10802	00803	04960		06810
"	"	00500	11949	019550	04953		05950
"	"	00400	13653	03654	04942		08655
"	"	00300	14661	06475	04929		11475
"	"	00150	INS-TABLE	INS-TABLE	INS-TABLE		SAFORE
"	"	"	"	"	"		"

Tableau n° 9

E1	E2	E3	S1	S2	S3	$S4_{th}$	$S4_{exp}$
S4	04997	S4	9798	00197	04896		04998
"	04000	"	08287	00281	03856		04284
"	03000	"	06703	00703	02876		03700
"	02000	"	05013	01007	01900		03009
"	01200	"	03565	01161	01121		02362
"	01000	"	03153	01148	00930		02150
"	00000	"	00027	00027	00000		00029

LA RACINE CARREE

Tableau n° 10

E1	E2	E3	S1	$S2_{th}$	$S2_{exp}$	S3	S4
00000	00000	00000	00000	-00000	-00000	00000	-00002
"	01000	"	01000	-01000	-01000		-00969
"	02000	"	02000	-02000	-20000	"	-01964
"	03000	"	03000	-03000	-30000	"	-2903
"	04000	"	04000	-04000	-40000	"	-03871
"	05000	"	05000	-05000	-50000	"	-04854

LE CHANGEMENT DE SIGNE

Du tableau expérimental n° 11, on tire la table de vérité de la fonction logique ET.

λ \ μ	0	1
0	0	1
1	0	1

$S3 = \lambda \cdot \mu \equiv \lambda \wedge \mu$

V.5.6.2 Programmation de la fonction "OU" = PRODUEL.

On note cette opération linéaire par "Y", le schéma de câblage de ET permet d'effectuer cette opération en attribuant respectivement à E1 la variable logique λ et à E2-E3 = μ.

Le résultat de l'opération qui s'effectue selon l'identité suivante :

$S1 = E1 + E2 = \lambda + \mu$

$S2 = E1 - E2 = \lambda - \mu$

$S3 = E1 - E3 = \lambda \cdot \mu$

$$S4 = S1 - S3 = \lambda+\mu - \lambda\cdot\mu \equiv \lambda \vee \mu \qquad (51)$$

apparaît à la sortie S4 du processeur.

Remarque :

L'opération logique "OU" ne figure pas sur les machines analogiques actuelles et s'obtient à partir de la loi de MORGAN appliquée sur l'opération "ET".

Table de vérité :

λ \ μ	0	1
0	0	1
1	1	1

$S4 = \lambda + \mu - \lambda \cdot \mu \equiv \lambda \vee \mu$

Cette table est déduite du tableau expérimental n° 12.

V.5.6.3 Programmation de la complémentation ou "NON":

Cette opération s'obtient facilement en envoyant respectivement le 50 V sur E1 et sur E2 la variable logique μ, et ceci pour E3 quelconque. Le résultat de l'opération apparaît sur la sortie S2 du processeur selon l'identité suivante

$$S2 = 1 - \mu \equiv \bar{\mu} \qquad (52)$$

Voir tableau n° 13.

V.5.6.4 Programmation du "OU EXCLUSIF".

Le résultat de cette opération apparaît au tableau n° 14, il s'effectue selon l'identité suivante

$$E1 = \lambda,\ E2 = \mu,\ E3 = 2\mu \quad \forall\ \lambda\cdot\mu \in \{0,1\}$$

$$\boxed{S4 = \lambda+\mu - 2\ \lambda\cdot\mu \equiv \lambda \oplus \mu} \qquad (53)$$

V.5.6.5 Autres opérateurs logiques.

a) programmation du "NAND" et du "NOR"

Nous avons vu que les expressions algébriques sur R du NAND et du NOR étaient respect vement :

. pour le "NAND" : $1 - \lambda\mu$

. pour le "NOR" ; $1 - \lambda - \mu + \lambda\cdot\mu$

Ces deux opérations, pour être réalisées, nécessitent deux modules convenablement câblés selon les figures 6 et 7.

b) la bascule RS

Il nous a été possible à partir du processeur élémen-

Tableau n° 11

E1=λ	E2=ϒ	E3=μ	S1	S2	$S3_{th}$	$S3_{exp}$	S4
00000	04997	00000	04997	-04997	00000	00000	04997
00000	"	04997	"	-04997	00000	00000	04997
04997	"	04997	"	00000	05000	05013	00000
04997	"	00000	"	00000	00000	00000	04997

Tableau n° 12

E1	E2	E3	S1	S2	S3	$S4_{th}$	$S4_{exp}$
00000	00000	00000	00000	00000	00000		00000
00000	04999	04999	04999	-04999	00000		04837
04999	04999	04899	10012	00000	05000		05012
04899	00000	00000	04999	-05020	00000		04838

Tableau n° 13

E1	E2=λ	E3=ϒ	S1	$S2_{th}$	$S2_{exp}$	S3	S4
05000	00000	05000	04999		04999	05007	00007
05000	00000	"	04999		04999	05007	00007
05000	05000	"	09998		00000	05007	04827
05000	05000	"	09998		00000	05007	04827

Tableau n° 14

E1=λ	E2=μ	E3=2μ	S1	S2	S3	$S4_{th}$	$S4_{exp}$
00000	00000	00000	00000	00000	00000		00000
00000	04999	09975	+05000	05000	00000		04874
04999	04999	09975	10000	00000	09975		00030
04999	00000	00000	05000	05000	00000		04843

taire d'obtenir l'opération synchrone qui est la bascule RS.

Sa réalisation a pour base l'identité suivante

$$y = \bar{R}(y \vee S) \equiv (1 - R)(y + S - y.S) \qquad (54)$$

ce qui a nécessité l'emploi de trois modules de base (voir figures 8 et 9).

V.5.7 Problème de la précision des portes.

Les deux types de portes réalisées suivant les expressions des sorties sont S3 et S4, sorties du processeur.

Exprimons les tensions E1, E2, E3 par rapport à une tension unité. Soit V1 cette tension unité.

Nous avons alors :

$E1 = e_1\ V1$, $E2 = e_2\ V1$, $E3 = e_3\ V1$.

Par construction et moyennant cette hypothèse sur l'unité de mesure des tensions, on aura :

S1 = E1 + E2

S2 = E1 - E2

schéma de Principe des Portes "ET" "OU" "NAND" "NOR"

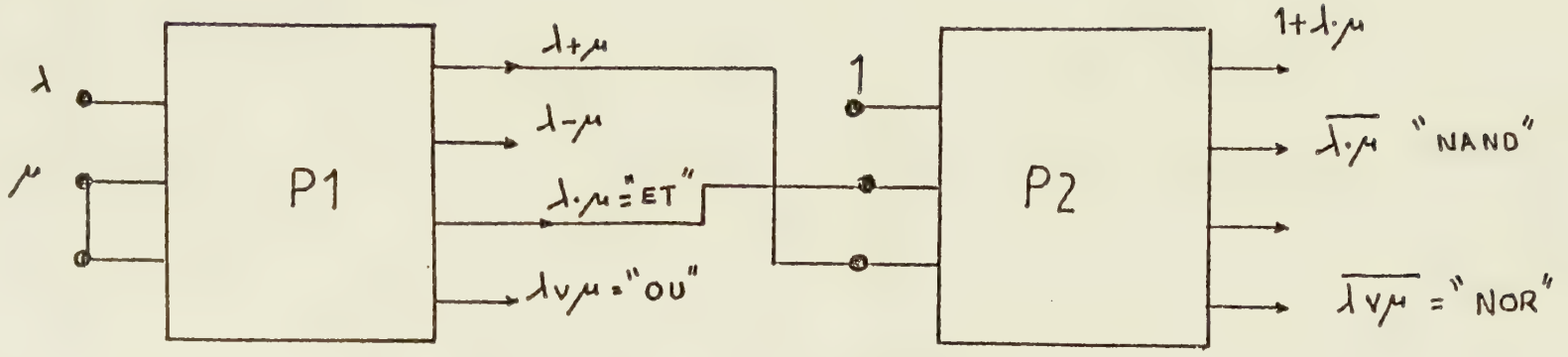


FIGURE N° 6

schema de cablage des portes "ET" "OU" "NAND" "NOR"

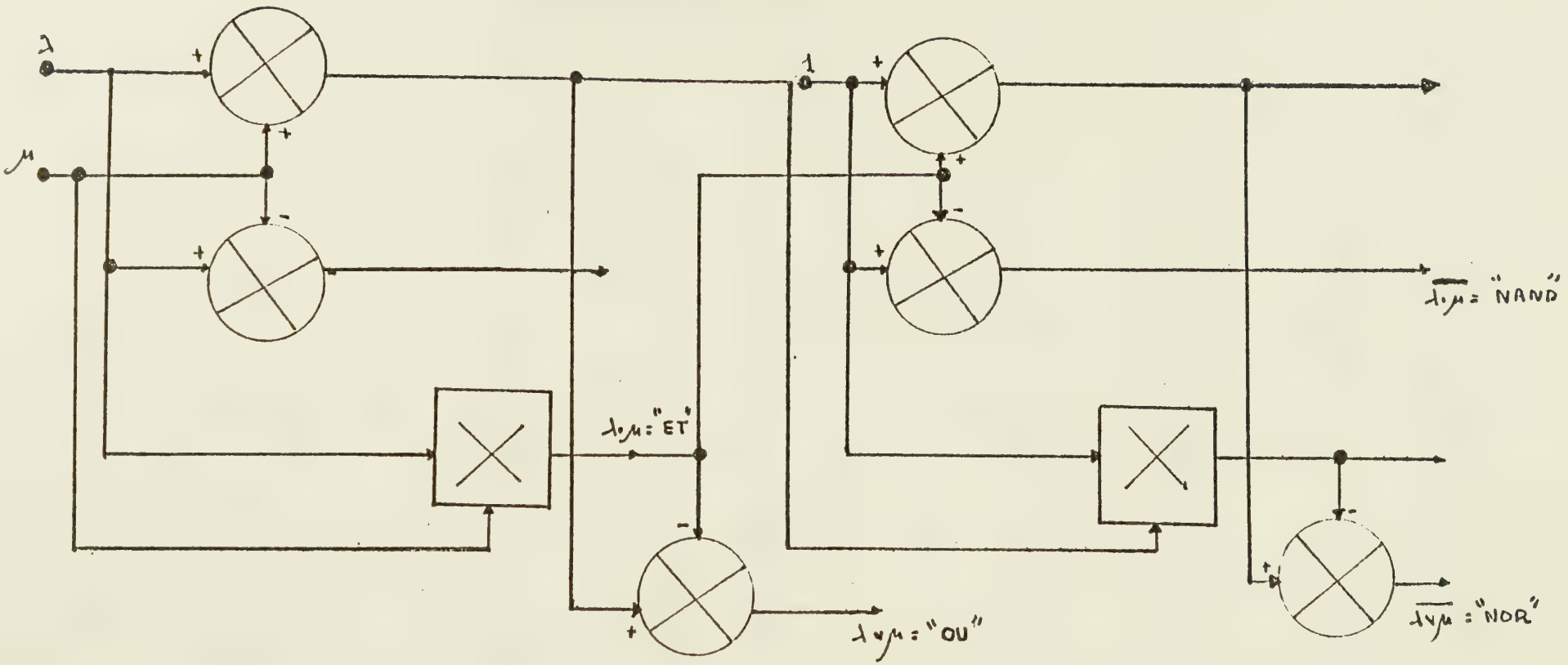


FIGURE N°7

schema de PrinciPe de la bascule R S

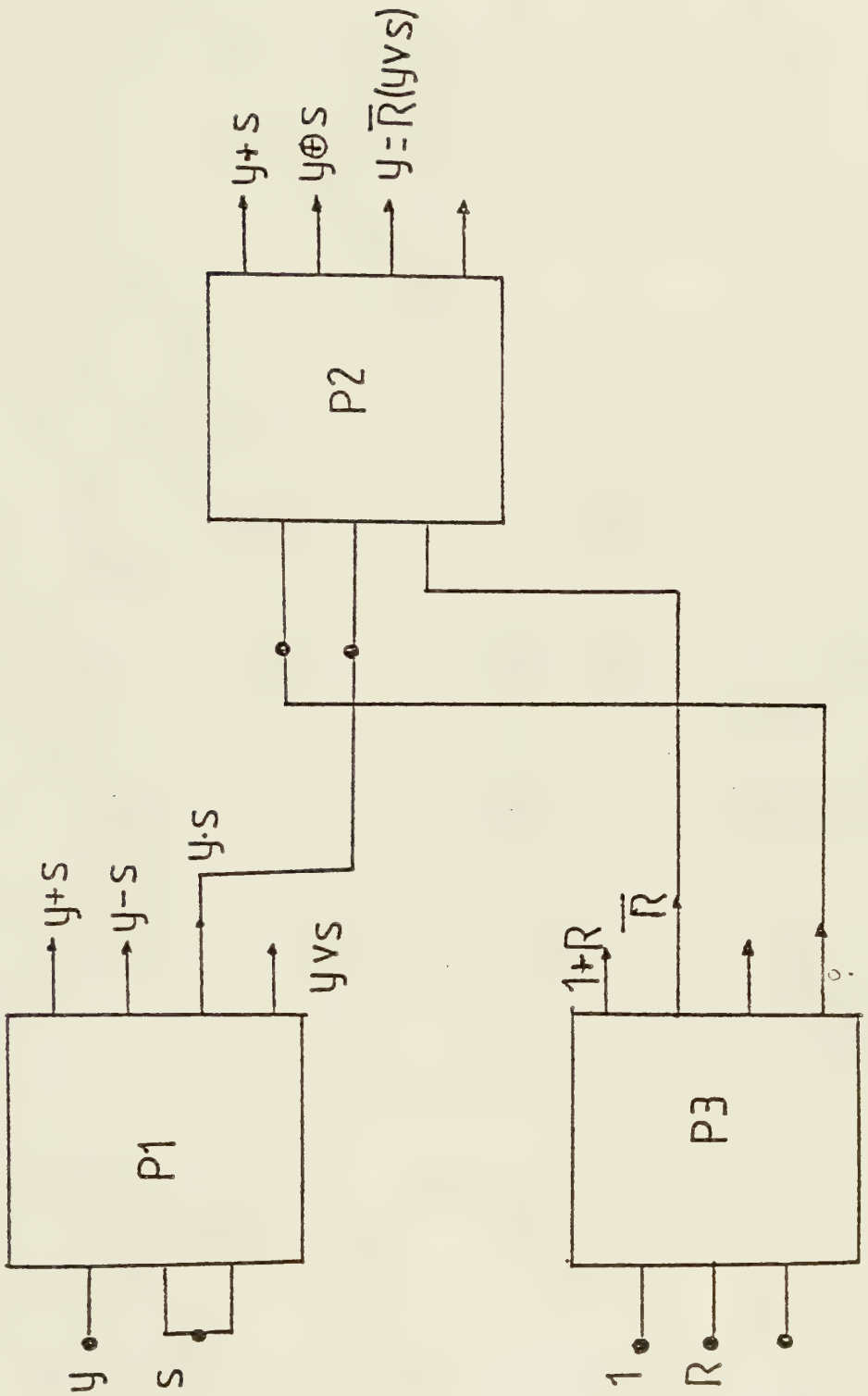


FIGURE N°8

Schéma de câblage de la bascule RS

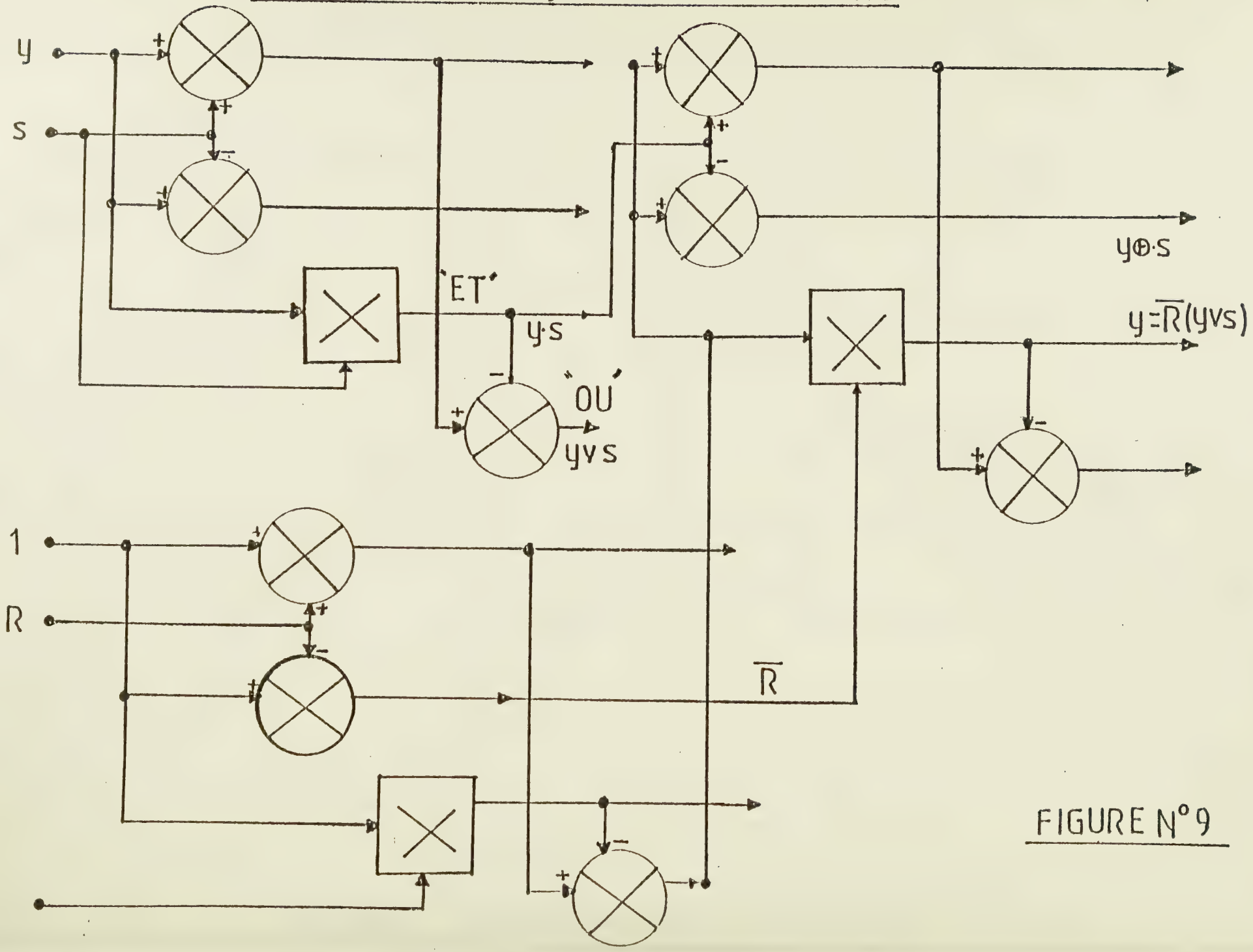


FIGURE N°9

$S3 = E1 \cdot E3$

$S4 = E1+E2 - E1.E3.$

Or, une porte analogique possède une entrée analogique, une entrée logique et la sortie est analogique.

Soient e_1 l'entrée analogique, et λ l'entrée logiqe telles que :

(1) $S3 = \lambda e_1$

(2) $S4 = e_1 + \lambda - \lambda.e_1$

où S3, S4 et e_1 sont respectivement la sortie et l'entrée (analogiques) et λ le signal logique de pilotage.

V.5.7.1 Etude de l'effet d'une erreur de définition sur le signal logique.

Considérons la porte analogique représentée par (1)

$$S3 = \lambda e_1 + \delta\lambda \cdot e_1$$

soit

$$\delta S3 = \delta\lambda \cdot e_1$$

et on a

$$MAX(\delta\lambda \cdot e_1) = \delta\lambda \cdot MAX(e_1) = MAX(\delta S3)$$

comme on a limité les entrées à ± 50 V et que $e_1 - V1 = E1$ avec V1 tension unité égale à 50 V.

On a donc e_1 qui est majorée de 1 en valeur absolue, d'où

$$\boxed{|\delta S3| \leqslant |\delta\lambda|} \qquad (55)$$

de même pour l'équation (2)

$$S4 = \delta\lambda + e_1 - \delta\eta \cdot e_1 = e_1 + \delta\lambda(1 - e_1)$$

soit

$$\delta S4 = \delta\lambda(1 - e_1)$$

or $|e_1| \leqslant 1$ et comme $|1 - e_1| \leqslant |e_1| + 1$, la quantité $(1 - e_1)$ est alors majorée de 2, d'où

$$\boxed{|\delta S4| \leqslant 2\ |\delta\lambda|} \qquad (56)$$

Le problème de la précision peut être alors résolu de différentes façons :

1) Assurer un $\delta\lambda$ assez petit.

2) Réformer le signal avant utilisation hybride.

V.5.7.2 Etude technologique.

Afin d'avoir un signal logique ne présentant plus d'erreur de définition avant l'utilisation hybride, on reforme celui-ci. Pour ce faire, on utilise un comparateur à seuil.

Le comparateur à seuil fixé est l'organe de base de la conversion analogique numérique.

Un tel organe assure :

. un niveau logique "1" si la grandeur analogique e(t) (signal d'entrée) est supérieur à un seuil fixé V_{ref} ;

. un niveau logique "0" si e(t) n'atteint pas ce seuil.

a) schéma de principe

Voir figure 10, la résistance R est nécessaire sur l'entrée non inverseuse de l'amplificateur opérationnel si le courant i_2 cause une erreur significative.

b) schéma pratique

Voir figures 11 et 12.

schéma de princ

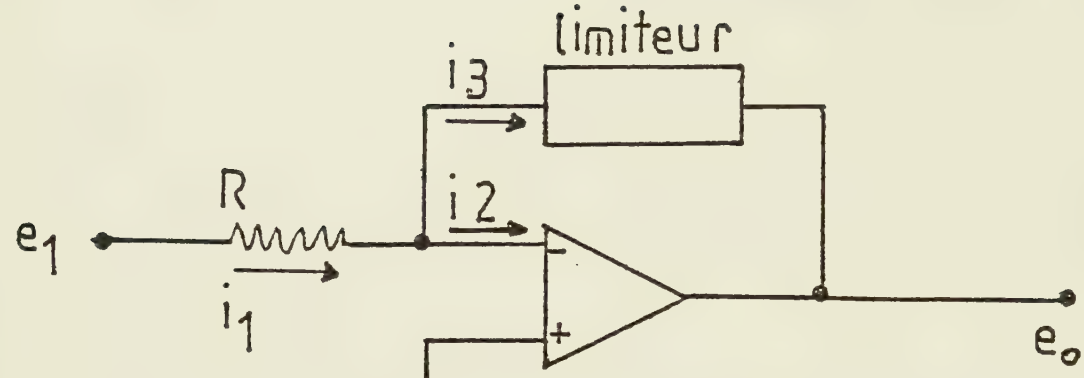


FIGURE N

schéma pratiqué

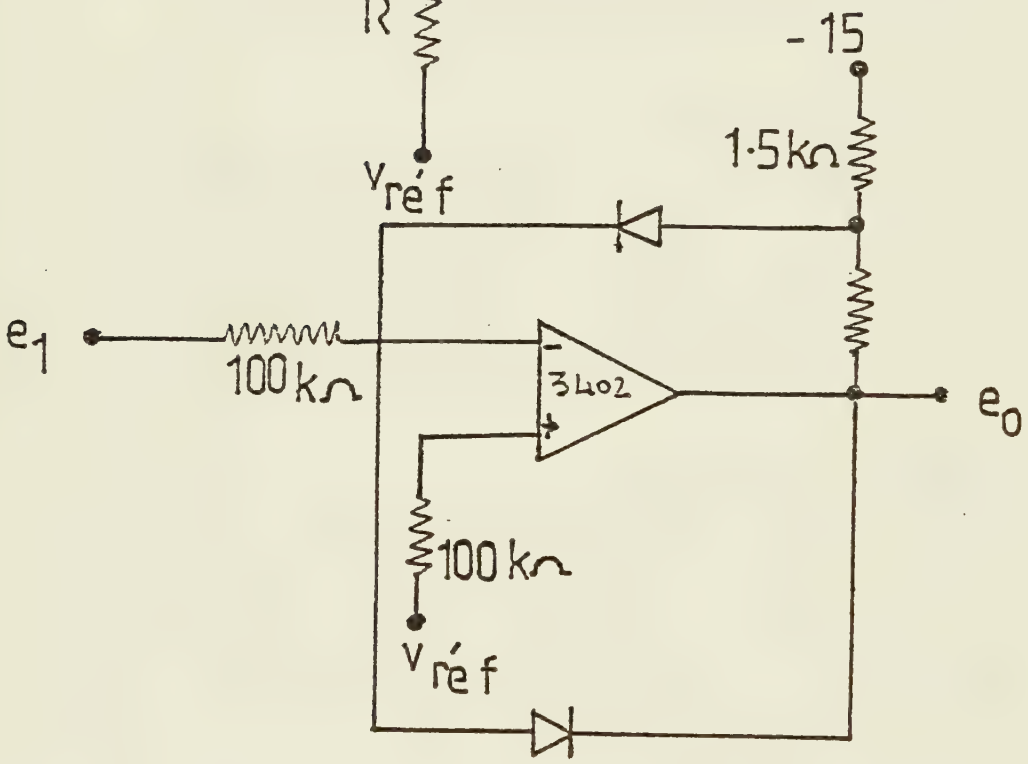


FIGURE N°

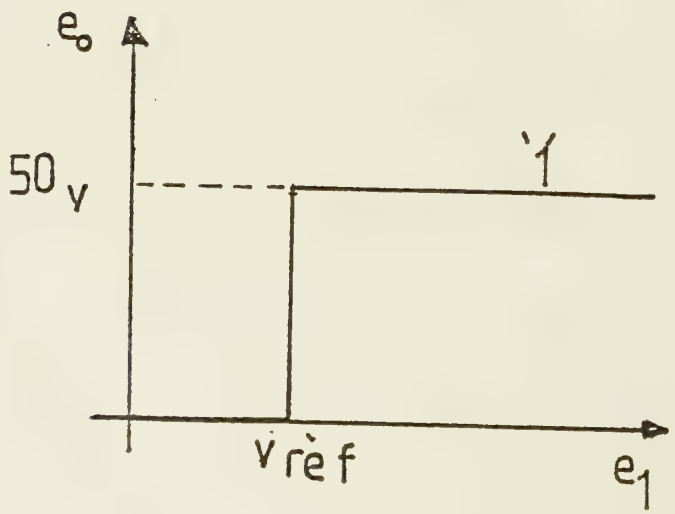


FIGURE N°12

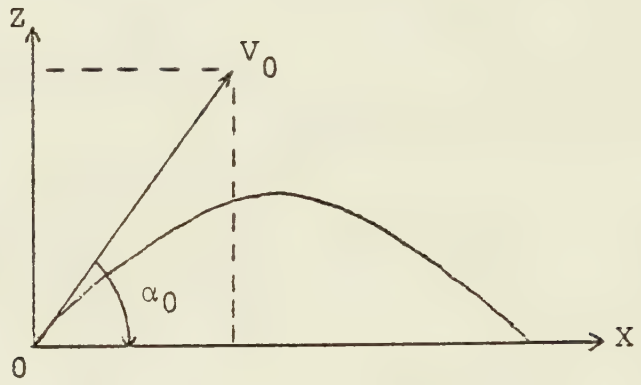
CHAPITRE VI

APPLICATION DU PROCESSEUR A LA RESOLUTION DES EQUATIONS

VI.1 INTRODUCTION

Le processeur étant complètement vérifié, on peut l'employer pour la résolution d'un problème physique avec diverses conditions : diverses valeurs de paramètres, diverses perturbations appliquées au système.

VI.2 PROBLEME



Un canon tire un projectile, on cherche à déterminer sa trajectoire en fonction du temps. On suppose que les équations sont les suivantes

$$\begin{cases} m\,\ddot{X} = -\varepsilon 1\,[\dot{X}_1]^2\,\rho(Z) & (1) \\ m\,\ddot{Z} = -mg - \varepsilon 2[\dot{Z}]^2 \cdot \rho(Z) & (2) \end{cases}$$

X, Z sont les coordonnées du projectile.

$\rho(Z)$ est un coefficient de frottement dépendant de la densité de l'air, donc de l'altitude Z.

$$\rho(Z) = \rho_0(1 - aZ) \qquad (3)$$

valable pour $aZ < 0.2$.

Choisissons l'origine des temps au départ du projectile.
Les conditions initiales sont les suivantes :

$$t = 0,\ X = 0,\ Z = 0$$

$$\boxed{\dot{X}(0) = V_0 \cos \alpha_0} \quad , \quad \boxed{Z_0 = V_0 \sin \alpha_0}$$

Les valeurs des coefficients sont les suivantes :

$V_0 = 200$ m/s $\qquad g = 9{,}81$ m/s^2

$m = 40$ Kg $\qquad \alpha_0 =$ paramètre variant de 0 à $\frac{\pi}{2}$

$\rho_0 = 0.005 \qquad a = 10^{-4}$

$$\varepsilon_1 = +1 \qquad \varepsilon_2 = \begin{cases} +1 \text{ pour } \dot{Z} > 0 \\ -1 \text{ pour } \dot{Z} < 0 \end{cases}$$

VI.3 MODIFICATION DES EQUATIONS

La seule modification consiste à ne laisser subsister qu'un seul terme dans le membre de gauche des équations

$$\begin{cases} \ddot{X} = - \left[\dot{X}\right]^2 \dfrac{\rho(Z)}{m} & (1)' \\ \ddot{Z} = - g - \left[\dot{Z}\right]^2 \dfrac{\rho(Z)}{m} & (2)' \\ \rho = \rho_0 + \Delta\rho & (3)' \end{cases}$$

en effet :

$$\rho = \rho_0(1 - aZ) \Longrightarrow \rho - \rho_0 = - aZ\rho_0 \text{ avec } \rho_0 > \rho$$

$$\Delta\rho = - aZ\rho_0 \text{ et } aZ = - \frac{\Delta\rho}{\rho_0} ,$$

d'où

$$\rho = \rho_0 + \Delta\rho$$

VI. 4 CHOIX DES ECHELLES DE CORRESPONDANCE

On peut obtenir une estimation des maxima des variables en intégrant à la main le système simplifié où l'on fait $\rho(Z) = 0$, on obtient :

$$\begin{cases} \ddot{X} = 0 \\ \ddot{Z} = - g \end{cases} \Longrightarrow \begin{cases} \dot{X} = K \\ \dot{Z} = -gt + P \end{cases} \Longrightarrow \begin{cases} X = Kt + R \\ Z = -\frac{1}{2}gt^2 + Pt + S \end{cases}$$

Or, pour $t = 0$, on a :

$$X = Z = 0 \text{ et } \dot{X}(0) = V_0 \cos \alpha_0, \ \dot{Z}(0) = V_0 \sin \alpha_0 \Longrightarrow$$

$$R = S = 0, \ K = V_0 \cos \alpha_0, \ P = V_0 \sin \alpha_0.$$

On obtient alors

$$\begin{cases} \dot{X} = V_0 \cos \alpha_0 \\ \dot{Z} = -gt + V_0 \sin \alpha_0 \end{cases} \quad \text{et} \quad \begin{cases} \dot{X} = |V_0 \cos \alpha_0| t \\ \dot{Z} = -\frac{1}{2} gt^2 + |V_0 \sin \alpha_0| t \end{cases}$$

Dans ce cas, les extrémités dépendent de t et de α_0.

Distinguons deux cas selon que :

a) $\alpha_0 = 0$, on obtient le système suivant

$$\boxed{\begin{cases} X = V_0 t = 200\ t \\ Z = -\frac{1}{2} gt^2 \end{cases}}$$

b) $\alpha = \frac{\pi}{2}$, alors

$$\boxed{\begin{cases} X = 0 \\ Z = -\frac{1}{2} gt^2 + V_0 t \end{cases}}$$

Or l'intervalle de variation de t est $t < 40$ secondes ⟹ pour $t + 20$ secondes, on aura :

a) $\alpha_0 = 0$ et $t = 20$ s

$X = 4000$ m

$Z = -\frac{1}{2} \cdot 9{,}81 - 400 \neq -2000$ m

b) $\alpha = \frac{\pi}{2}$ et $t = 20$ s

$X = 0$

$Z = -2000 + 4000 = 2000$ m

d'où les v res maximums de X et Z

$$\boxed{X_{max} \leqslant 4000 \text{ m}}$$

$$\boxed{Z_{max} \leqslant 2000 \text{ m}}$$

D'autre part, on sait que

$$\Delta\rho = aZ\rho_0 \Longrightarrow \Delta\rho_{max} = -aZ_{max} - \rho_0 + -10^{-3}$$

$$\boxed{|\Delta\rho_{max}| < 10^{-3}}$$

$$Z = Z_{max}\,\frac{z}{Z_{max}}\ ,\quad X = X_{max}\,\frac{x}{X_{max}}\ ,\quad \rho = \rho_{max}\,\frac{\rho}{\rho_{max}}$$

$$\begin{cases} X_{max}\,\dfrac{\ddot{x}}{X_{max}} = -\,X_{max}^{2}\left(\dfrac{\dot{x}}{X_{max}}\right)^{2}\left(\rho_0 + \Delta\rho_{max}\,\dfrac{\Delta\rho}{\Delta\rho_{max}}\right)\dfrac{1}{m} \\[2ex] Z_{max}\,\dfrac{\ddot{z}}{Z_{max}} = -\,g - \Sigma\left(Z_{max}\,\dfrac{\dot{z}}{Z_{max}}\right)^{2}\left(\rho_0 + \Delta\rho_{max}\,\dfrac{\Delta\rho}{\Delta\rho_{max}}\right)\dfrac{1}{m} \end{cases}$$

$$\begin{cases} \dfrac{\ddot{x}}{X_{max}} = -\,X_{max}\left(\dfrac{\dot{x}}{X_{max}}\right)^{2}\left(\rho_0 + \Delta\rho_{max}\,\dfrac{\Delta\rho}{\Delta\rho_{max}}\right)\dfrac{1}{m} \\[2ex] \dfrac{\ddot{z}}{Z_{max}} = -\,\dfrac{g}{Z_{max}} - \Sigma\,Z_{max}\left(\dfrac{\dot{z}}{Z_{max}}\right)^{2}\left(\rho_0 + \Delta\rho_{max}\,\dfrac{\Delta\rho}{\Delta\rho_{max}}\right)\dfrac{1}{m} \end{cases}$$

$$\begin{cases} \dfrac{\ddot{x}}{4000} = -\,4000\left(\dfrac{\dot{x}}{4000}\right)^{2}\left(5\ 10^{-3} + 10^{-3}\,\dfrac{\Delta\rho}{10^{-3}}\right)\dfrac{1}{40} \\[2ex] \dfrac{\ddot{z}}{2000} = -\,\dfrac{g}{2000} - \Sigma\,\dfrac{2000}{40}\left(\dfrac{\dot{z}}{2000}\right)^{2}\left(\rho_0 + 10^{-3}\,\dfrac{\Delta\rho}{10^{-3}}\right) \end{cases}$$

$$\begin{cases} \dfrac{\ddot{x}}{200} = -\,20.4000\left(\dfrac{x}{4000}\right)^{2}\left(5\ 10^{-3} + 10^{-3}\,\dfrac{\Delta\rho}{10^{-3}}\right)\dfrac{1}{40} \\[2ex] \dfrac{\ddot{z}}{200} = -\,\dfrac{10.9.81}{2000} - \dfrac{\varepsilon.2000}{4000}\left(\dfrac{\dot{z}}{200}\right)^{2}\left(5\ 10^{-3} + 10^{-3}\,\dfrac{\Delta\rho}{10^{-3}}\right) \end{cases}$$

$$\begin{cases} \dfrac{\ddot{X}}{200} = \left(\dfrac{\dot{X}}{200}\right)^2 \left(25\ 10^{-3} + 5\ 10^{-3}\ \dfrac{\Delta\rho}{10^{-3}}\right) \\ \dfrac{\ddot{Z}}{200} = -\dfrac{9.81}{200} - 50\ \varepsilon\left(\dfrac{\dot{Z}}{200}\right)^2 \left(5\ 10^{-3} + 10^{-3}\ \dfrac{\Delta\rho}{10^{-3}}\right) \end{cases}$$

$$\frac{\ddot{X}}{200} = -\ 0.025 \left(\frac{\dot{X}}{200}\right)^2 - 5\ 10^{-3}\ \frac{\Delta\rho}{10^{-3}} \left(\frac{\dot{X}}{200}\right)^2$$

$$\frac{\ddot{Z}}{200} = -\ 0.049\ [1] - 0.025\ \varepsilon\left(\frac{\dot{Z}}{200}\right)^2 - 0.005\ \varepsilon\left(\frac{\Delta\rho}{10^{-3}}\right)\left(\frac{\dot{Z}}{200}\right)^2$$

avec ε = signe $\dfrac{dZ}{dt}$

On note bien que les valeurs des potentiomètres en entrées des intégrateurs sont toutes inférieures à 0.1, ce qui introduit une imprécision sur les valeurs des coefficients qu'ils représentent.

Pour augmenter leurs valeurs, il suffit de choisir une correspondance entre le temps machine $\tau = 10\ t$; dans ce cas, la durée de simulation sera dix fois plus courte que dans l'hypothèse développée : $\tau = t$.

VI.5 SCHEMAS DE CABLAGE ANALOGIQUE

Les schémas de câblage analogique attribués aux équations ci-dessus sont représentés par les figures 13, 14, 15 et 16.

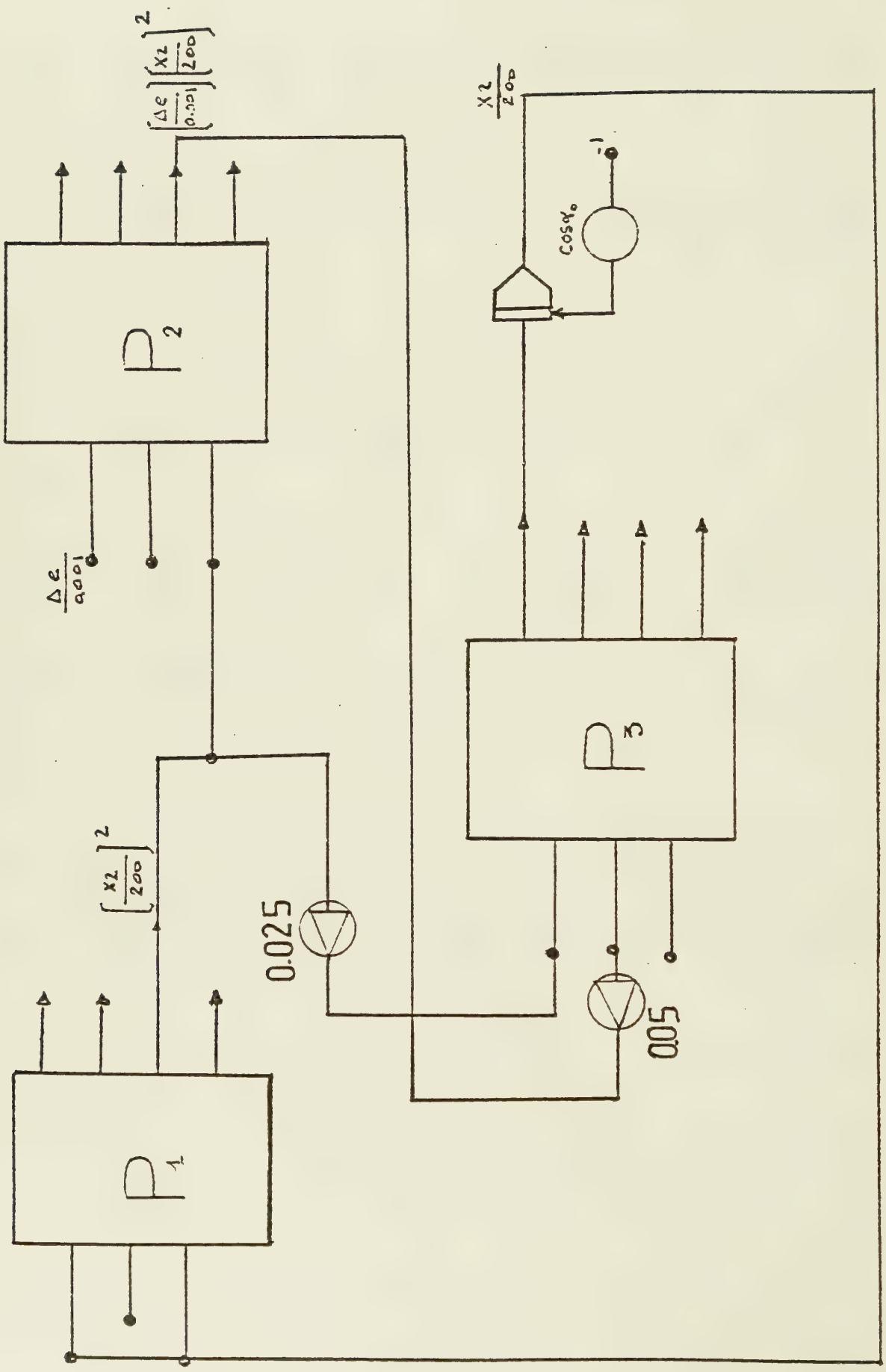


FIGURE N°13

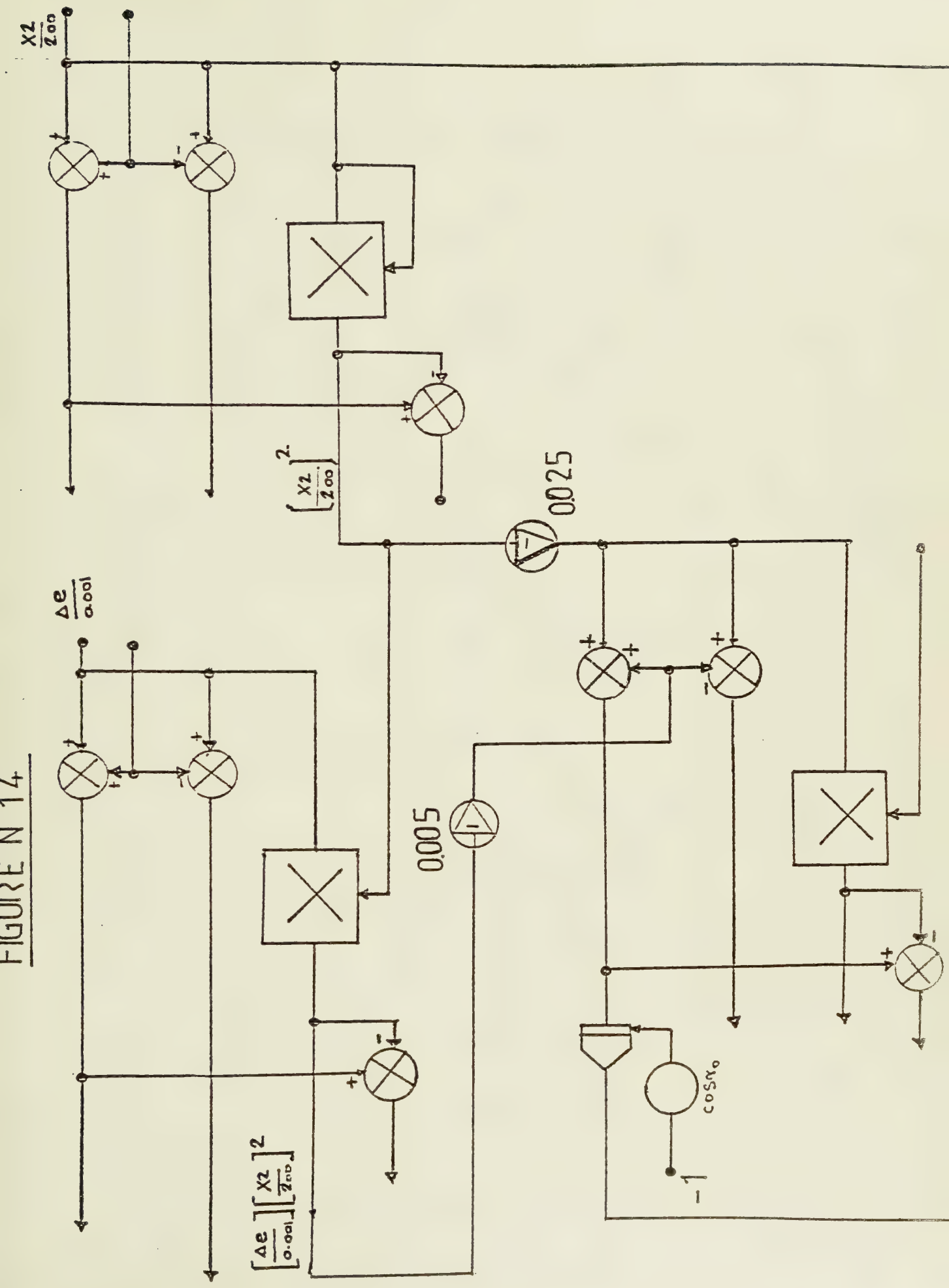


FIGURE N 14

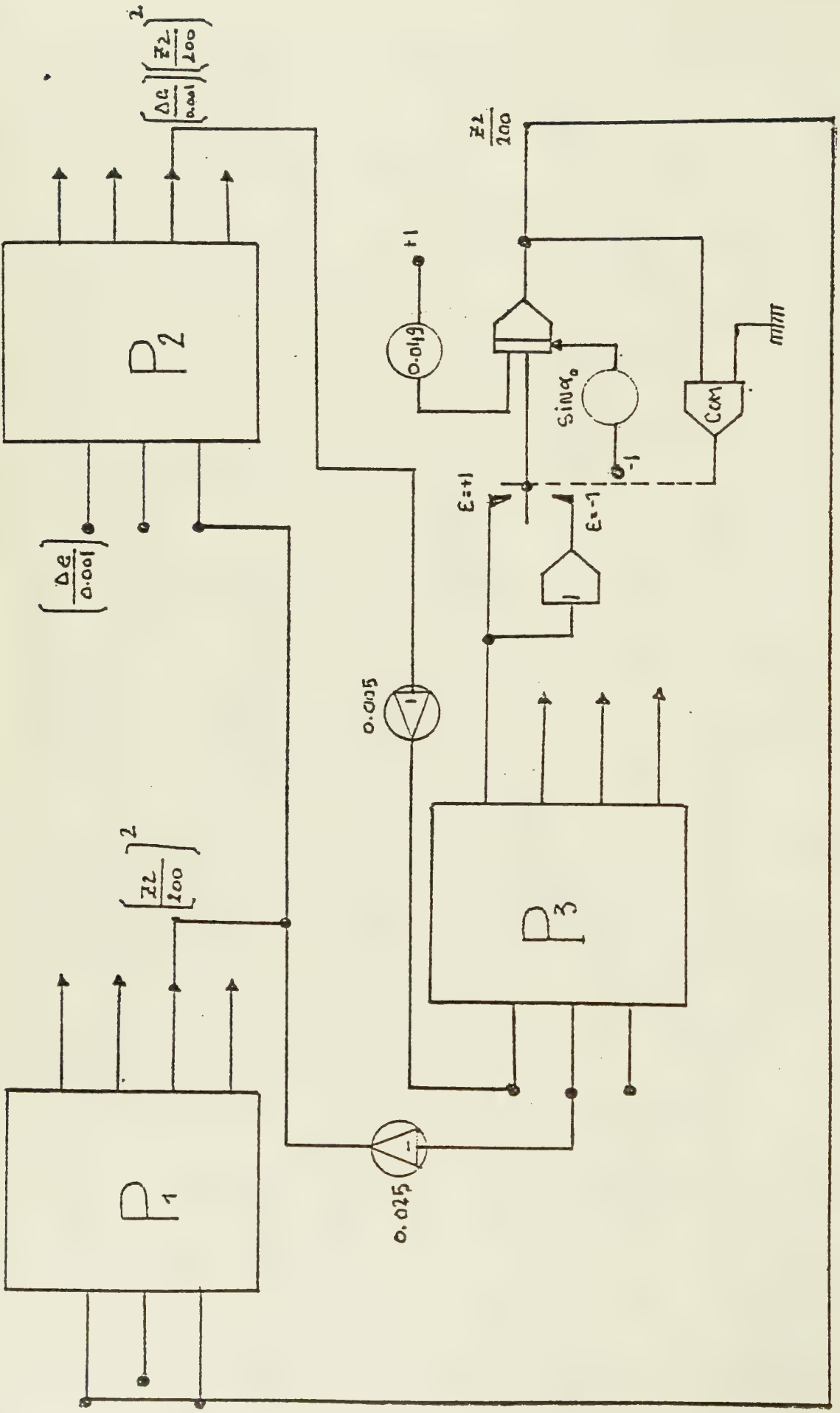


FIGURE N°15

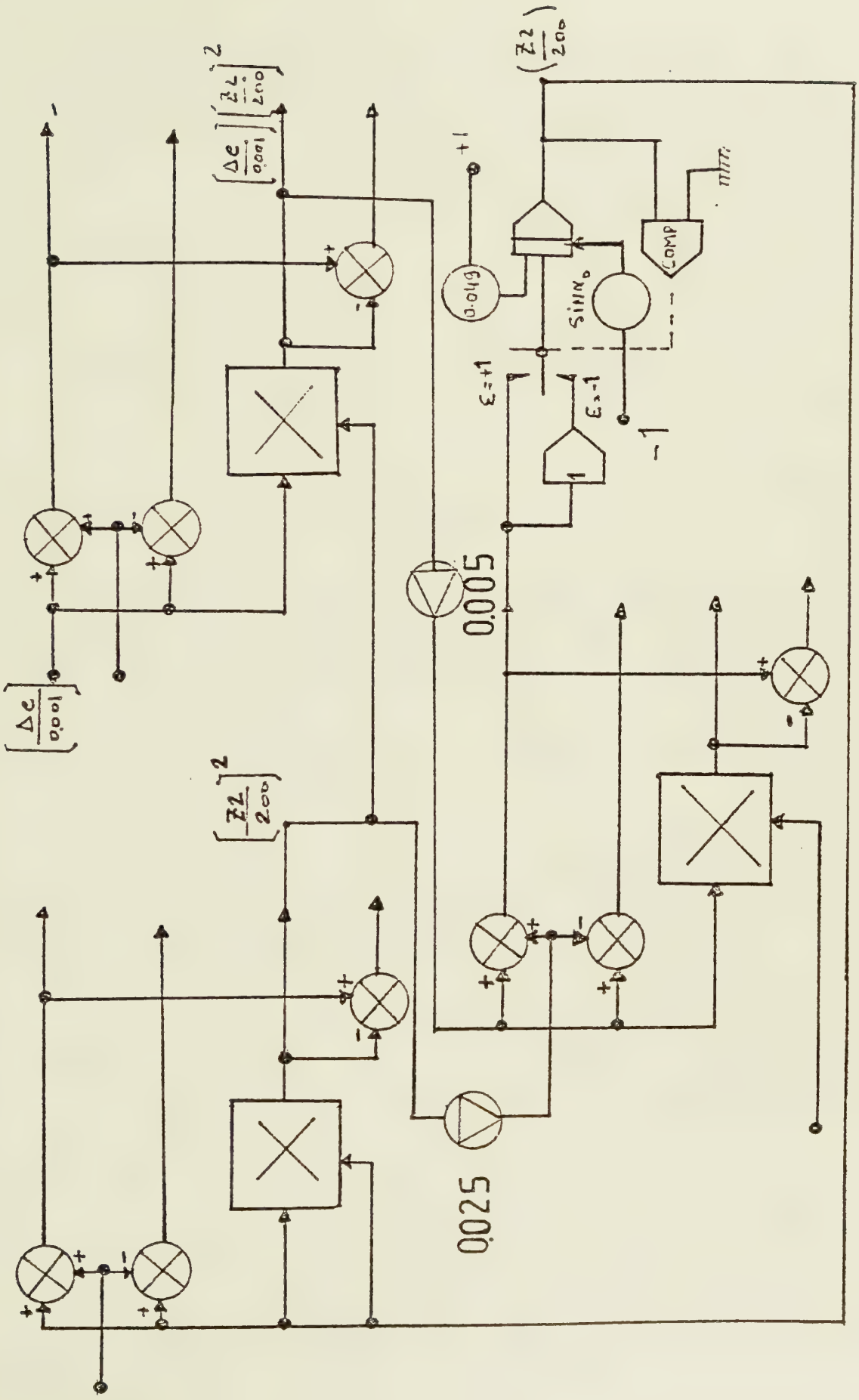


FIGURE N° 16

CHAPITRE VII

PRINCIPES DE BASE D'UN SYSTEME DE CABLAGE POUR UN CALCULATEUR ANALOGIQUE

VII.1 INTRODUCTION

Le travail sur calculateur hybride comprend différentes étapes :

. Mise en équation

. Elaboration

. Câblage

. Affichage des potentiomètres

. Tests

. Calcul et présentation des résultats.

Ces diverses opérations à l'exception du câblage sont automatiques. Malgré l'utilisation des panneaux amovibles, le câblage manuel consomme beaucoup de temps et reste toujours susceptible de donner des erreurs de programmation.

Il est difficile d'évaluer le coût d'un système de câblage automatique tant qu'un prototype n'aura pas été réalisé ; c'est pourquoi, on peut seulement signaler qu'un système de câblage manuel est à l'heure actuelle lourd et coûteux.

Un panneau de câblage, une fois les fils enfichés, pèse environ une dizaine de kg et coûte environ 20 000 F.

Dans la pratique, on se sent obligé, du fait de la complexité des schémas, de sauvegarder un programme pour une future utilisation en réservant tout le panneau analogique câblé, ce qui exige donc pour chaque application traitée par le calcul hybride son propre panneau analogique et son ensemble de câbles de connection.

En général, une dizaine de panneaux sont associés à chaque calculateur hybride. Evidemment, tout cela fait que le traitement des problèmes sur un calculateur hybride est assez coûteux et peu rentable.

La survie de ces calculateurs et leur expansion sont fortement liées donc aux progrès réalisés pour faciliter la programmation et pour les rendre compétitifs sur les marchés.

Un calculateur hybride à câblage automatique apporterait, sous réserve d'une technologie suffisamment rapide, une richesse supplémentaire dans les possibilités de programmation.

En effet, les fonctions "SWITCH" et "RELAIS" seraient généralisées, permettant la modification du câblage analogique d'un même programme.

Un programme analogique ou hybride peut alors, comme un programme numérique, être stocké sur un support peu coûteux, paquet de cartes par exemple. On supprime ainsi le système lourd et onéreux de panneaux amovibles. Toutes les tentatives qui ont voulu apporter une solution au problème de câblage automatique se sont heurtées à une difficulté essentielle : le grand nombre de relais que nécessite la réalisation de ce système.

En outre, ces différentes études [12] à [17] présentent des lacunes, elles ne modifient pas, à quelques exceptions près, la structure des opérateurs analogiques et logiques. Or, à notre avis, ceux-ci ont été conçus pour le câblage manuel et paraissent peu adaptés au câblage automatique.

Les auteurs abordent le problème de la même façon : ils remplacent le panneau de câblage manuel par un système d'interconnexion automatique ou semi-automatique du type téléphonique, leur effort porte essentiellement sur une recherche de la diminution du nombre de relais, c'est-à-

dire qu'ils cherchent à utiliser le moins de relais possibles tout en permettant de réaliser le plus de connexions possibles, ce nombre devra être minimiser pour trois raisons, qui sont par ordre d'importance : prix, fiabilité, encombrement.

Mais, mettre tout l'effort d'une étude sur la minimisation du coût du système risque d'aboutir à un système très compliqué.

Il est souhaitable, à notre avis, qu'un compromis soit trouvé entre le coût de la réalisation et une topologie qui confère au système une très grande souplesse tout en permettant d'optimiser l'investissement en matériel en rapport avec le problème et qui sera programmable facilement.

Le processeur multifonctions analogique-logique, que nous avons conçu, utilise des opérateurs tension usuels*, répond en particulier au voeu d'utiliser un nombre minimal de relais du fait qu'il sera considéré comme le module de base ayant trois entrées et quatre sorties et que les éléments qui le composent seront soudés électriquement entre eux.

On ne peut, avec le peu de matériels dont nous disposons, faire une étude complète d'un système de câblage automatique, tant sur sa partie matérielle, de la qualité des relais utilisés que sur l'étude mathématique et statique qui seront les bases de ce système.

---

* Voir [18]

Nous allons, dans ce chapitre, donner un bref rappel historique des différentes propositions faites à ce jour, en indiquant leurs avantages et leurs inconvénients et en essayant, au moyen d'une étude topologique des schémas de câblage, de définir les critères mathématiques qui seront les principes de base d'un système de câblage automatique répondant au voeu des utilisateurs et des constructeurs de ces futures machines.

VII.2 HISTORIQUE

Depuis la création des calculateurs analogiques, leur gestion ne cesse de s'améliorer. Anciennement, leur commande était manuelle grâce à une console, puis est venue la gestion automatisée par une logique parallèle.

La nouvelle génération emploie une gestion automatisée par un calculateur numérique, ce qui a donné naissance au calcul hybride.

Mais les opérations de câblage restent encore manuelles sauf quelques modifications mineures pouvant être réalisées à l'aide d'aiguillage introduit dans le circuit. Ces aiguillages "SWITCHS" sont manoeuvrés à partir du calculateur numérique.

Dans les premiers calculateurs (1948), les composants étaient câblés à la main. Par la suite (1952), dans le

but de simplifier et d'accélérer ce câblage, les constructeurs et plusieurs utilisateurs ont précâblé certains composants réalisant ainsi des sous-ensembles appelés opérateurs analogiques (sommateurs, intégrateurs, multiplieurs, etc.). La plupart des calculateurs analogiques réalisés à ce jour sont composés d'opérateurs tensions [18] reliés entre eux au moyen d'un panneau amovible.

Sur ce panneau, un ensemble de fils conducteurs, enfichés manuellement, réalisent les connexions, actuellement un "SOFTWARE" hybride existe permettant d'utiliser avec efficacité et rapidité l'ensemble des deux calculateurs.

Mais cette automatisation reste insuffisante pour permettre une utilisation réellement industrielle de ces machines, c'est-à-dire où tous les temps morts sont supprimés et où l'accès à la machine peut présenter les mêmes possibilités que pour les calculateurs numériques.

Dans le but de promouvoir l'automatisation des calculateurs hybrides, il faut que toutes les opérations de câblage soient entièrement automatisées.

Un certain nombre d'études ont été réalisées et ont donné lieu à des publications. Dans l'ensemble des documents que nous avons pu consulter [12] à [18], les auteurs abordent le problème de la façon suivante : ils remplacent le panneau de câblage manuel par un système d'interconnexion automatique de type téléphonique. Leur

effort porte essentiellement sur une recherche de la diminution du nombre de relais composant ce système.

Toutes ces tentatives qui restent non exploitées industriellement, montrent justement qu'aucun d'eux n'est parfait et qu'ils présentent des lacunes.

Ou bien le système est compliqué et alors il ne satisfait pas le critère d'une programmation simple, donc son "SOFTWARE" est compliqué, ou bien il revient plus cher que la machine elle-même. Il est évident qu'il ne s'agit pas seulement de réaliser un nouveau calculateur hybride à câblage automatique, mais qu'il serait programmable facilement, ne pas masquer aussi les spécificités du calculateur analogique, et il est nécessaire pour être imposé sur le marché que sa réalisation aboutisse à un système peu coûteux, rapide, fiable et peu encombrant si possible.

ETAT ACTUEL DU PROBLEME

J'ai eu accès à cinq rapports décrivant des systèmes de câblage automatiques ou semi-automatiques.

1) Le premier travail a été effectué par J.B. REEVES [12], il se rapporte à un calculateur E.A.I.231-R5 possèdant 3400 fiches.

L'auteur a pu classer les liaisons en quatre types :

. les liaisons permanentes

. les liaisons fréquentes

. les liaisons rares

. les liaisons qui ne se réalisent jamais.

Il a abouti à un système semi-automatique. Mais, pour obtenir une automatisation optimale, il a classé les problèmes par types (réacteurs, hydrauliques, équations différentielles, etc.), et pour chaque type, il faut réaliser une automatisation différente.

J.B. REEVES a réalisé un tel système pour des problèmes pneumatiques et hydrauliques dont 95 % des liaisons se réalisent automatiquement et le reste manuellement.

Un des avantages de cette méthode est d'utiliser un nombre relativement faible de relais. Un des inconvénients est que le système est semi-automatique, et l'inconvénient majeur est que le système est spécialisé dans un seul type de problème, ce qui nécessite le stockage de plusieurs systèmes si on étudie des problèmes variés (donc son système est très spécialisé).

2) Le second travail [13] a été effectué par D. STARR. Il se rapporte à un calculateur possèdant 150 amplificateurs, entièrement automatique et basé sur un tout autre principe.

En utilisant les techniques téléphoniques (modules et concentrateurs), son système permet de relier chaque fiche du calculateur à une autre.

Le nombre de relais utilisé a considérablement diminué.

Il utilise 26676 relais, câblés en matrice et commandés digitalement. Le temps de câblage est de 50 secondes environ, son SOFTWARE n'est pas développé.

Ce système a pour avantage de relier toutes les bornes entre elles, mais il utilise encore un grand nombre de relais.

3) Le troisième système est dû à H. HOPP [11] et A. RIOTTE. Il fait l'objet d'un brevet SATANAS.

Le système indique directement au programme les lisisons à réaliser. En effet, on superpose un panneau perforé habituel de connexions du calculateur analogique sur une matrice d'indicateurs lumineux de manière à ce que les trous du panneau coïncident avec les indicateurs, la matrice étant connectée à un montage électronique d'adressage binaire contrôlé par un ordinateur programmé par un code APACHE [9], le contrôle se faisant de telle façon que les indicateurs s'allument par paires guidant la pose de connexions (on place le connecteur entre deux fiches allumées). Les lampes montées sur deux réseaux superposés et croisés de conducteurs parallèles formant une matrice aux points de maille dans laquelle sont dans laquelle sont distribués des indicateurs lumineux pour que la lampe s'allume, il faut que la tension

soit appliquée sur la ligne et la colonne correspondante (voir figure 17).

Si on applique la tension en 1 et 4, la lampe E s'allume. L'inconvénient de ce système est d'être entièrement semi-automatique et implique une perte de temps importante lors du câblage.

4) Le quatrième système a été étudié pour la NASA (1968) par G. HANNAUER ingénieur EAI [14].

C'est un système entièrement automatique, le câblage est utilisé selon une méthode utilisée dans les réseaux téléphoniques, méthode dite : système matriciel à trois étages dont le principe est donné par la figure 18. Chaque bloc d'entrée est relié par une connexion à tous les blocs intermédiaires. Chaque bloc intermédiaire est relié par une liaison à tous les blocs d'entrée et de sortie. Chaque bloc de sortie est relié par une connexion à tous les blocs intermédiaires.

Il utilise un calculateur EAI 8800 qui compte environ 22000 relais. L'inconvénient est que le SOFTWARE est compliqué, long à utiliser.

5) En 1972, M. VERGNES a proposé un nouveau type de calculateur analogique à câblage automatique en partant des opérateurs courants au lieu d'employer la structure des opérateurs-tensions pour des raisons

dont il s'explique dans [18] ; il définit des opérateurs à fonctions logiques programmables. A l'aide de ces circuits, il a conçu une logique de câlage entièrement automatique qui utilise un nombre relativement faible de relais (9000).

Le système de câblage, qu'il propose est aussi basé sur les principes téléphoniques (modules + concentrateurs).

Evidemment, ce système présente un nombre de ralais minimum, mais son SOFTWARE n'est pas encore défini, ce qui empêche actuellement son exploitation.

VII.3 ANALYSE TOPOLOGIQUE DES SCHEMAS DE CABLAGE RENCONTRES LORS DE LA RESOLUTION DES PROBLEMES ANALOGIQUES

Dans le but de définir précisément les différents types de liaisons qui doivent être effectuées par le système de câblage, une étude détaillée des schémas de câblage rencontrés généralement lors de la résolution des problèmes analogiques nous a permis de distinguer que :

1) Les liaisons les plus fréquentes étaient celles qui reliaient soit une entrée de sommateur ou de sommateur intégrateur à la sortie d'un potentiomètre, soit une sortie de sommateur ou sommateur intégrateur à l'entrée

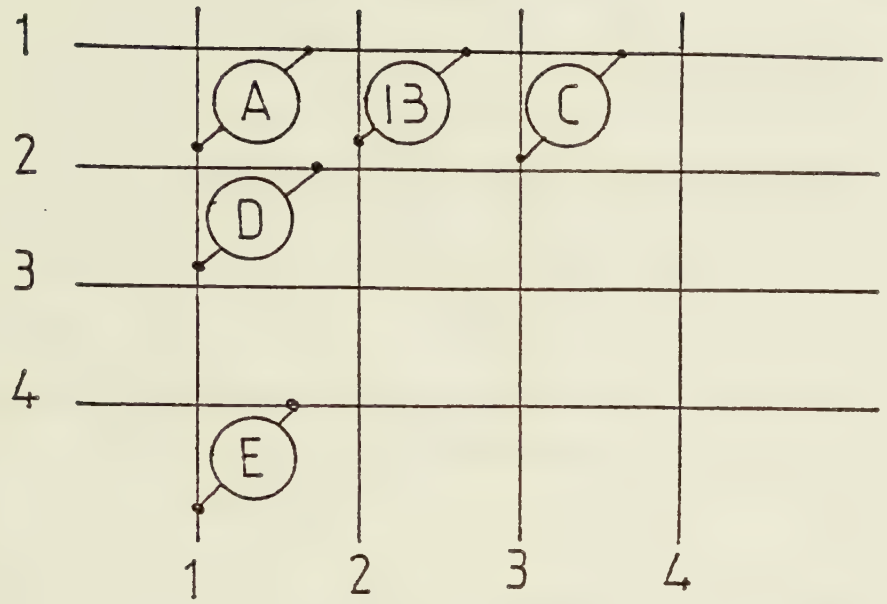


FIGURE N°17

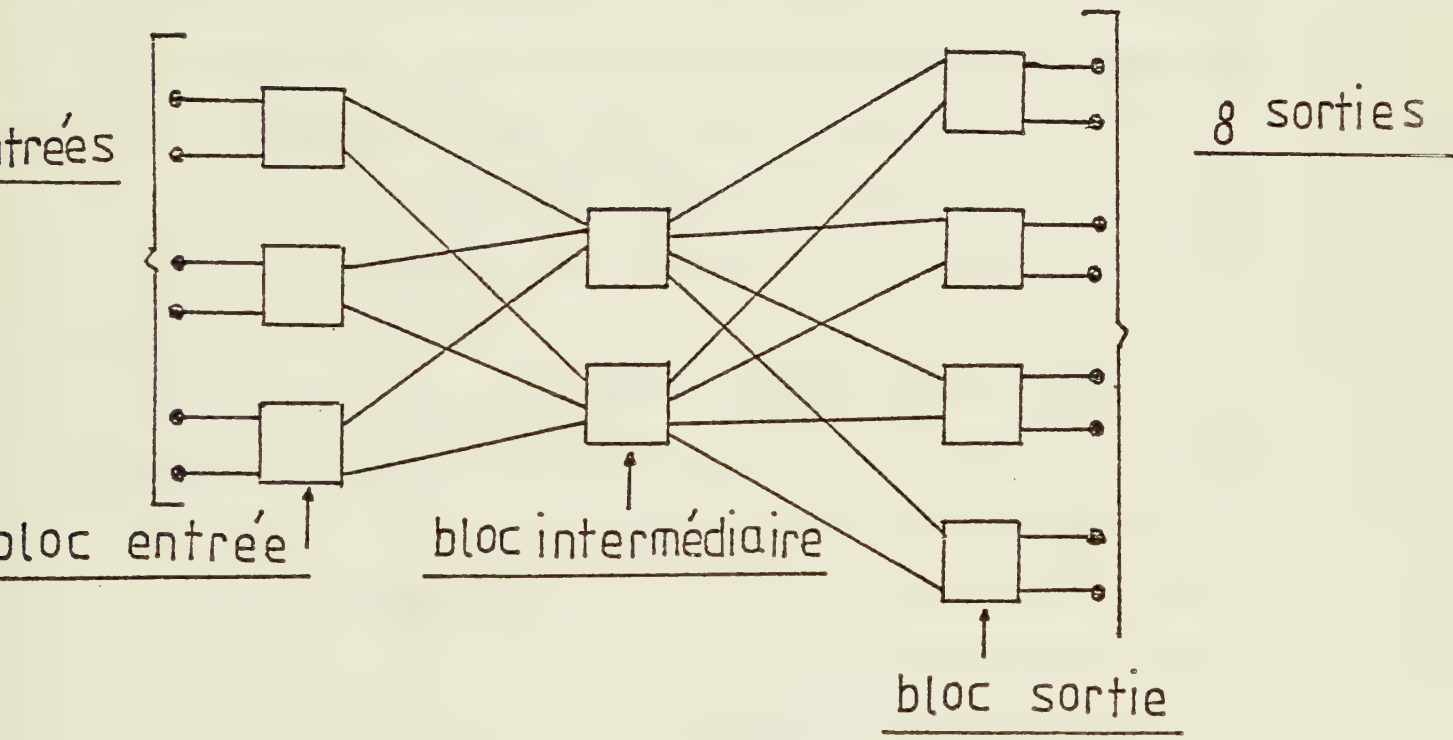


FIGURE N°18

d'un inverseur ou d'un potentiomètre (figure 19).

2) Les liaisons réalisées joignent nécessairement des sorties d'opérateurs à des entrées d'opérateurs. Il apparaît que généralement peu de liaisons joignent deux opérateurs éloignés sur le schéma et, qu'en outre, seule une faible partie des liaisons possibles est réalisée lors du câblage relatif à un problème.

Ainsi, pour un calculateur analogique type EAI 8800 qui possède environ 2000 entrées et 1000 sorties d'opérateurs, il existe 2000000 de liaisons possibles entre les entrées et les sorties. Dans la pratique, pour câbler un problème, on réalise un nombre de liaisons inférieur à 1000, ce qui représente néanmoins un nombre important de fils à enficher sur un panneau de câblage.

3) Selon des études statistiques sur les différents types de liaisons [12] et [18], les différentes connexions ont des probabilités de se réaliser qui sont variables, ce qui nous a permis de diviser les connexions possibles en quatre catégories :

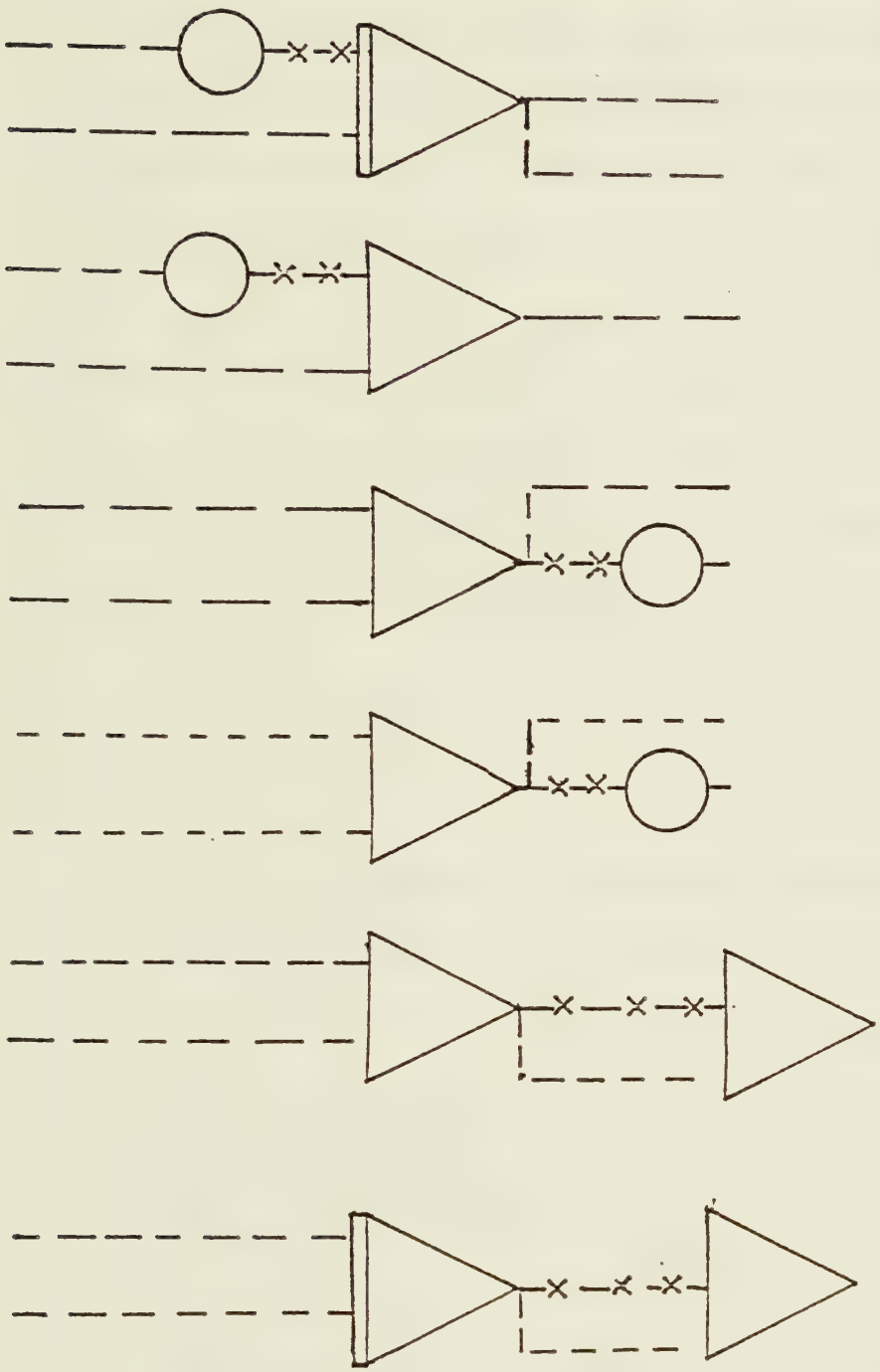
a) celles qui ont lieu presque toujours et qui peuvent être câblées en permanence ;

b) celles qui sont fréquentes et que l'on effectuera automatiquement ;

c) celles qui sont rares ;

d) celles que l'on ne réalise jamais.

types de liaisons les plus fréquentes



—x—x— : liaisons rencontrées les Plus fréquemments

FIGURE N° 19

Cette analyse aura donc une influence, d'une part sur le choix du système automatique ou semi-automatique, d'autre part, elle a montré que la taille du système dépend fortement de la taille de la machine (nombre de bornes à interconnecter entre elles) et que les liaisons sont localisées donc il n'y a pas de liaisons longues dans le système qui sinon, sera impraticable et gaspillerait beaucoup de relais.

Le système de câblage devra être réalisé en utilisant des relais qui permettent une commande digitale facile et qu'il sera commandé par un calculateur numérique qui, utilisant des informations provenant d'un code à définir.

VII.4 PRINCIPES D'UN SYSTEME DE CABLAGE

VII.4.1 Introduction.

Il apparaît lors de l'étude topologique que les différentes connexions ont des probabilités de se réaliser qui sont variables.

Les connexions possibles se divisent en trois grandes catégories :

. les liaisons permanentes,

. les liaisons qui ont lieu souvent,

. les liaisons qui sont rares.

Il faudra donc pour ces trois types de connexions des systèmes différents.

Le problème est d'optimiser le nombre de relais dans le but de minimiser le prix de revient du système de câblage.

En effet, pour automatiser le câblage, on fait appel à un grand nombre de relais et ce nombre dépend de la taille de la machine.

Les liaisons permanentes qui ont lieu presque toujours doivent résulter d'une étude statistique des liaisons entre processeurs et opérateurs analogiques de tension (sommateur intégrateur, potentiomètres, référence, etc.).

Une fois qu'elles sont bien déterminées, la solution est d'employer des structures précâblées en soudant même les entrées et les sorties du processeur avec ces opérateurs d'une façon définitive.

Les liaisons qui ont lieu souvent seront réalisées grâce à un système automatique basé sur des principes téléphoniques. Elles doivent pouvoir être effectuées rapidement et automatiquement, mais ne sont pas assez fréquentes pour être précâblées.

VII.4.2 Différences avec un système téléphonique classique.

Le réseau téléphonique classique et le réseau analogique d'interconnexion, sont tous les deux des systèmes à grand nombre de bornes qui doivent être reliées entre elles par des relais.

Le système téléphonique analogique est de taille inférieure à celle du système téléphonique classique, ce sera donc un facteur de réduction de nombre de relais nécessaire pour la mise au point d'un système de câblage.

a) C'est un système moins personnalisé que le système classique. Quand M. Dupond téléphone, il veut avoir M. Untel au bout du fil et seulement lui. Si on veut relier un potentiomètre à un intégrateur, il est en général indiffférent que l'intégrateur soit le 012 ou le 022.

b) Le système téléphonique classique est dynamique. Les abonnés ne communiquent pas constamment entre eux. Par contre, le système analogique de câblage est statique. Pendant toute la durée de la résolution d'un problème, les liaisons restent les mêmes.

c) La densité des lisisons est très supérieure à celle du système de classique. En temps normal très peu d'abonnés appellent. Tandis que dans le système de câblage un grand nombre de liaisons sont réalisées en

même temps.

d) Dans un même système de câblage, toutes les liaisons demandées doivent être réalisées. Une seule non réalisée fausse le problème. Dans un ensemble téléphonique, si 10 % des abonnés ne sont pas satisfaits, le système est encore très rentable.

e) Le système téléphonique classique est symétrique. Un abonné appelle un seul correspondant. Alors que le système de câblage est un réseau antisymétrique. Une sortie est souvent reliée à plusieurs entrées.

VII.4.3 Système téléphonique analogique à configuration modulaire.

Il est évident que la fiabilité, l'encombrement et le coût d'un système de câblage automatique sont fonction du nombre de relais, de leur qualité et de leur technologie.

Il est donc essentiel d'employer un nombre minimal de relais, lors de la réalisation d'un système de câblage, et d'adopter une configuration qui lui confère une très grande souplesse.

On sait que le système matriciel à simple étage (voir plus loin), permet de réaliser simultanément toutes les liaisons possibles entre un ensemble de bornes d'entrées et un ensemble de bornes de sorties (cas d'un calculateur

analogique). On a vu aussi que peu de liaisons sont effectuées en même temps au cours du câblage d'un problème et que les liaisons sont localisées.

Si on relie chaque borne à une autre quelconque en utilisant un relais par connexion possible et si on a N bornes, N^2 relais sont nécessaires [19]. C'est pourquoi, lorsque le nombre de relais total devient important, il est souhaitable de concevoir de nouveaux montages qui ne réalisent pas simultanément toutes les liaisons possibles et qui, de ce fait, utilisent un nombre inférieur de relais.

Ces propriétés conduisent à diviser le calculateur analogique en plusieurs parties identiques appelées modules ([14] et [15]).

Au sein se chaque module existe un certain nombre de processeurs qu'on peut relier entre eux par trois types de systèmes :

. système à matrice
. système à lignes
. système direct à concentrateurs.

Les critères du choix seront évidemment : économie en relais, facilité de programmation.

L'avantage de cette modularisation est de permettre d'augmenter la capacité du calculateur par l'adjonction de nouveaux modules, ce qui facilite la maintenance : en utilisant des modules interchangeables, on pourrait

ainsi isoler le module en panne sans immobiliser le calculateur. Dans ce cas, le système de câblage se composera de deux sous-systèmes :

VII.4.3.1 Le_sous-système_de_câblage_intramodulaire qui lie entre eux les processeurs d'un même module.

VII.4.3.2 Le_sous-système_de_câblage_intermodulaire qui lie les modules entre eux.

L'étude faite dans [14] a montré que la configuration modulaire réduit sensiblement le nombre de relais, en effet :
Si on divise les N bornes en n modules, on aura dans chaque module $\frac{N}{n}$ bornes et le nombre de relais nécessaires sera :

$$(\frac{N^2}{n^2}) \cdot n = \frac{N^2}{n} \text{ relais}$$

Le nombre de ralais utilisé est ainsi divisé par n. On a ainsi intérêt à diviser le système en modules. Ce raisonnement simple ne donne qu'une idée du problème qui est compliqué du fait qu'on doit utiliser des lignes d'interconnexion entre les modules et que les connexions choisies ne sont pas effectuées d'une façon aussi simple. Mais, de toute façon, le nombre de relais sera considérablement diminué par cette configuration modulaire.

Les liaisons sont localisées et il est rare q'une connexion traverse tout un schéma. Ainsi, au lieu de relier un module à tous les autres, on pourra ne le relier qu'à ses modules les plus voisins (2, 3 ou 4 modules voisins). On économisera ainsi des lignes inter-modulaires. Si on doit relier un module à un module éloigné, on passera par les modules intermédiaires, de même que, pour relier deux villes éloignées, le téléphone traverse les villes intermédiaires.

A l'intérieur des modules, on devra pouvoir effectuer des connexions entre toutes les bornes. On utilisera donc un système basé sur l'un des trois systèmes précédents (p. 118).

VII.4.4 Le système matriciel.

VII.4.4.1 Matrice à simple étage.

Le système matriciel de ralais le plus simple à élaborer est à un seul étage.

Il permet de relier une entrée à une sortie en empruntant un chemin passant par un seul relais.

Les études faites dans [14] et [19] ont montré que le nombre de relais qui composent le système de câblage dépend de la taille de la machine et que sa loi d'évolution n'est pas linéaire.

En effet, si N est la taille et si on double cette taille, le nombre de relais nécessaire à la mise en place du système de câblage sera presque quadruplé, car on a à faire à un problème dit de N^2. Ainsi, pour un calculateur analogique de taille moyenne (N = 4000 bornes), si l'on veut traiter le problème de cette façon : un relais par liaison possible, on aboutit au nombre prohibitif de relais égal à N^2 = 16 000000 et, si on double la taille donc pour N' = 2N, le nombre total de relais passe de N^2 à $4N^2$.

Donc, le montage matriciel à simple étage reste valable pour les machines de petite taille, mais il ne sera pas avantageux pour les calculateurs de grande taille. Cette configuration matricielle à simple étage peut être employée aussi bien pour le sous-système de câblage intramodulaire que pour le sous-système de câblage intermodulaire. Evidemment, dans le premier cas, les processeurs auront une disposition matricielle, il suffit de les disposer aux noeuds d'un réseau matriciel.

VII.4.3.2 Système matriciel multiétages (exemple à trois étages).

La théorie du système matriciel à trois étales a été dévoloppée par CLOS [19] et a été exploitée dans le système téléphonique classique.

G. HANNAUER [14] l'a expérimentée pour son système

de câblage dans le projet qu'il avait étudié à l'E.A.I. pour la NASA. Le principe de ce système est le suivant :

Chaque bloc (figure 18) d'entrée est relié à un bloc intermédiaire. Chaque bloc intermédiaire est relié à un bloc de sortie.

Les matrices sont dites à trois étages, car les relais ne relient pas directement les composants : en effet, un bloc de relais relie le bloc d'entrée des composants à un bloc intermédiaire d'interlignes. Un deuxième bloc de relais reliera le bloc de sortie de composants à un deuxième bloc d'interligne et un troisième bloc de relais reliera les deux blocs d'interlignes. De cette façon, chaque liaison entre une borne d'entrée et une borne de sortie traversera trois relais en série. Le souci étant toujours de réduire le nombre de relais. La structure multiétages est avantageuse dans le sens qu'elle n'utilise pas un relais pour chaque connexion à réaliser, voir [15].

Les avantages sont que le système permet pratiquement autant de liaisons qu'il y a d'entrées et de sorties.

Il se pose un problème de saturation des blocs intermédiaires bien qu'une entrée soit reliée à plusieurs sorties.

L'inconvénient est que, si on considère un élément, il utilise le même nombre de relais quelque soit sa probabilité de connexion [14]. Ainsi, un élément qui a une probabilité de connexion de 10 % coûte aussi cher en

relais qu'un élémnet utilisé à 90 %.

Dans l'intérêt d'une programmation facile, il faut déterminer la taille optimale du modèle, qui permet de minimiser le nombre de ralais, donc le prix du système de câblage.

Le peu de crédit qui a été réservé à cette étude, le fait que la machine pour laquelle on va développer ce système de câblage ne soit pas défini, font qu'on ne peut proposer un système de câblage automatique effectif et qu'on ne peut donner un prototype exploitable.

VII.5 LIAISONS INTERPROCESSEUR

Une expérience a été tentée sur la machine E.A.I. 8800, qui consiste à relier un processeur multifonctions analogiques-logiques à ses quatre proches voisins.

Le processeur est caractérisé par ses trois entrées et ses quatre sorties. Le nombre de liaisons possibles est égal à $3 \times 4 = 12$, ajoutons à celles-ci les deux liaisons utiles $|\{S4,E1\} \wedge \{S4,E3\}| \vee |\{S4,E1\}|$, au total 14 liaisons sont utiles et pour effectuer ces liaisons, on aurait besoin de 14 relais pour relier les entrées d'un processeur aux sorties d'un autre processeur (figure 20).

Comme on a un processeur à relier à ses quatre voisins proches, on a adopté la disposition matricielle, où les processeurs sont disposés aux noeuds du réseau. On dit que deux processeurs sont voisins sur la matrice, s'ils se trouvent sur la même ligne où la même colonne si aucun autre processeur n'est intercalé entre eux. On relie chaque processeur à ses quatre processeurs voisins sur la matrice. Pour les processeurs périphériques (figure 21), on suppose que la matrice est enroulée sur un cylindre et on joint les processeurs de la même façon que précédemment. Les extrémités des lignes interprocesseurs peuvent être considérées, soit comme des entrées de processeurs, soit comme des sorties de processeurs.

Sur la machine E.A.I. 8800, on distingue deux types de commutateurs :

- les commutateurs électroniques au nombre de 120
- les relais électromécaniques au nombre de 24.

Une seule catégorie reste insuffisante pour répondre au besoin des différentes connexions. Pour pouvoir n'utiliser que les commutateurs électroniques, il faut autant de portes logiques sur le panneau logique, pour pouvoir les commander ; or il n'en est pas ainsi. Quant aux relais, ils n'existent pas tous. Faute de relais électromécaniques, on a été obligé d'utiliser les commutateurs électroniques, ainsi notre schéma de câblage a été modifié suivant les besoins (figure 21, module 5).

Pour les trois entrées qu'on veut relier aux quatre sorties de l'autre processeur, on attribue respectivement les trois registres R1 pour E1, R2 pour E2, R3 pour E3. Ces registres sont à 4 bits de poids respectifs 0, 1, 2, 3.

Pour savoir quelle borne doit être reliée à une autre, il faut écrire un mot de 4 bits dans ce registre (voir figure 27).

VII.6 CONCLUSION GENERALE

Le processeur multifonctions analogiques-logiques, étudié et décrit dans ce travail, traite à l'aide de fonctions simples dont les valeurs de sorties sont (S1), (S2), (S3), (S4), trois tensions d'entrées (E1), (E2), (E3), éventuellement variables au cours du temps.

On a

$(S1) = (E1) + (E2)$

$(S2) = (E1) - (E2)$

$(S3) = (E1) \cdot (E3)$

$(S4) = (E1)+(E2) - (E1).(E3).$

Tableau n° 15

Pot	AMP	bornes	sorties (V)	E1	E2	E3	S1 A043	S2 A040	S3 A045	S4 A051
C000	A201	0	25	0	0	0	100 V	0 V	100 V	0 V
C001	A001	1	25	0	5	10	50 V	50 V	50 V	0 V
C002	A005	2	25	4	6	11	75 V	25 V	50 V	25 V
	A202	3		S4	4	S4				$25\sqrt{2}$ V
C010	A211	4	25	S4	2	S4				25 V
C011	A011	5	25	S4	0	2				50 V
C012	A015	6	25	S4	1	7				0 V
	A212	7								
C020	A221	8	25							
C021	A021	9	25							
C022	A025	10	25							
	A222	11								
C030	A231	12	25							
C031	A031	13	25							
C032	A035	14	25							
	A231	15								
	A051	16								

TABLEAU EXPERIMENTAL

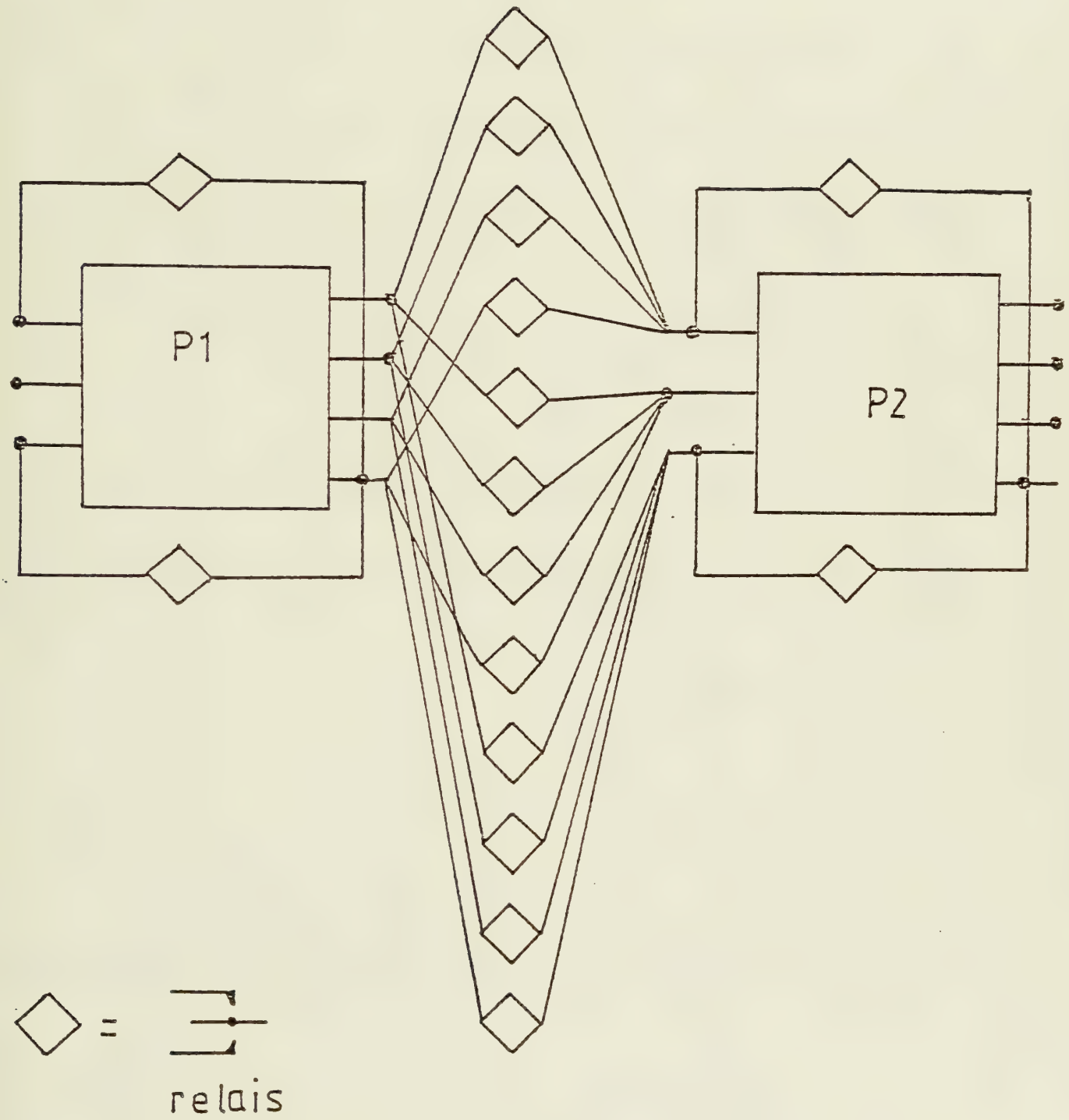
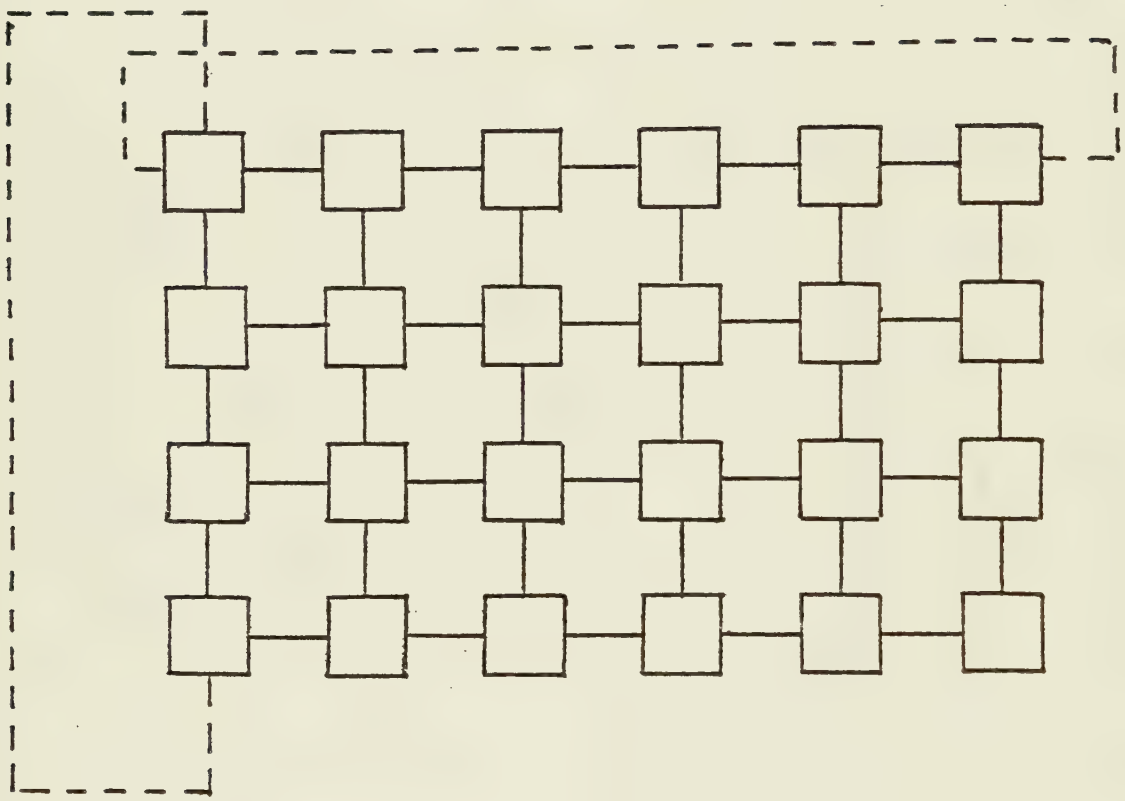


FIGURE N°20



Processeur

liaison entre Processeurs internes

liaisons entre Processeurs PériPhériques

FIGURE N°21

MODULE 5

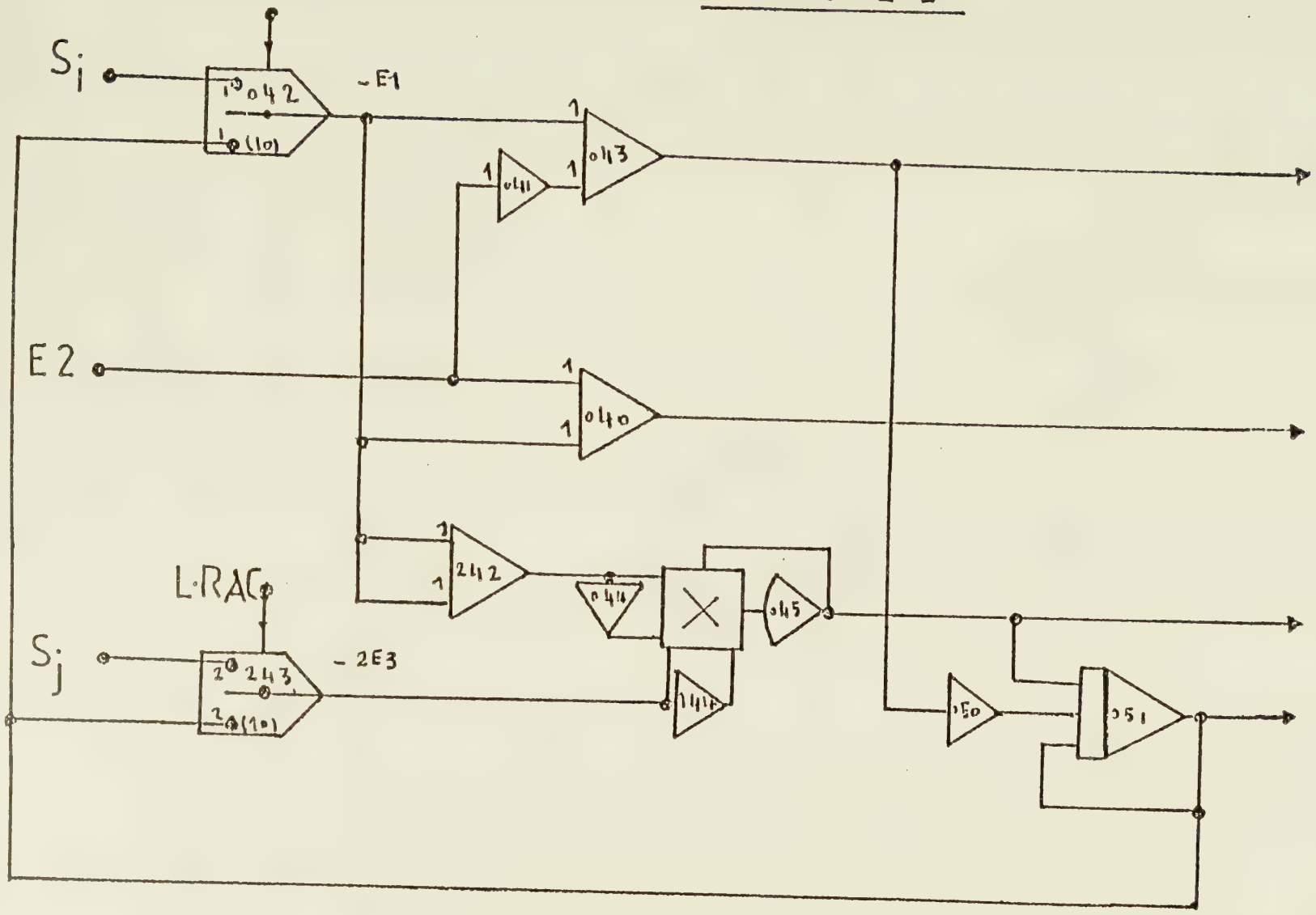


FIGURE 22

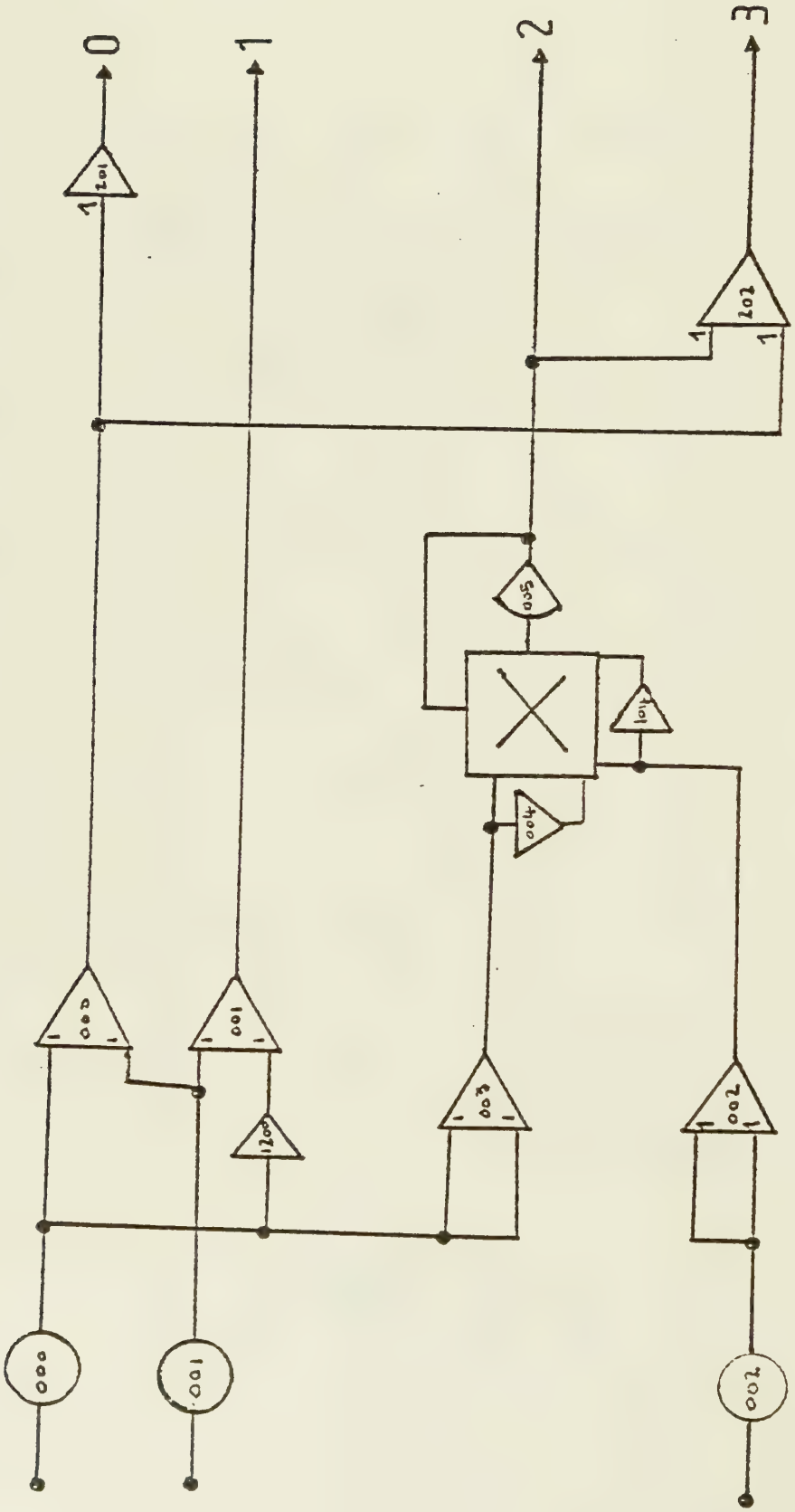


FIGURE Nº 23

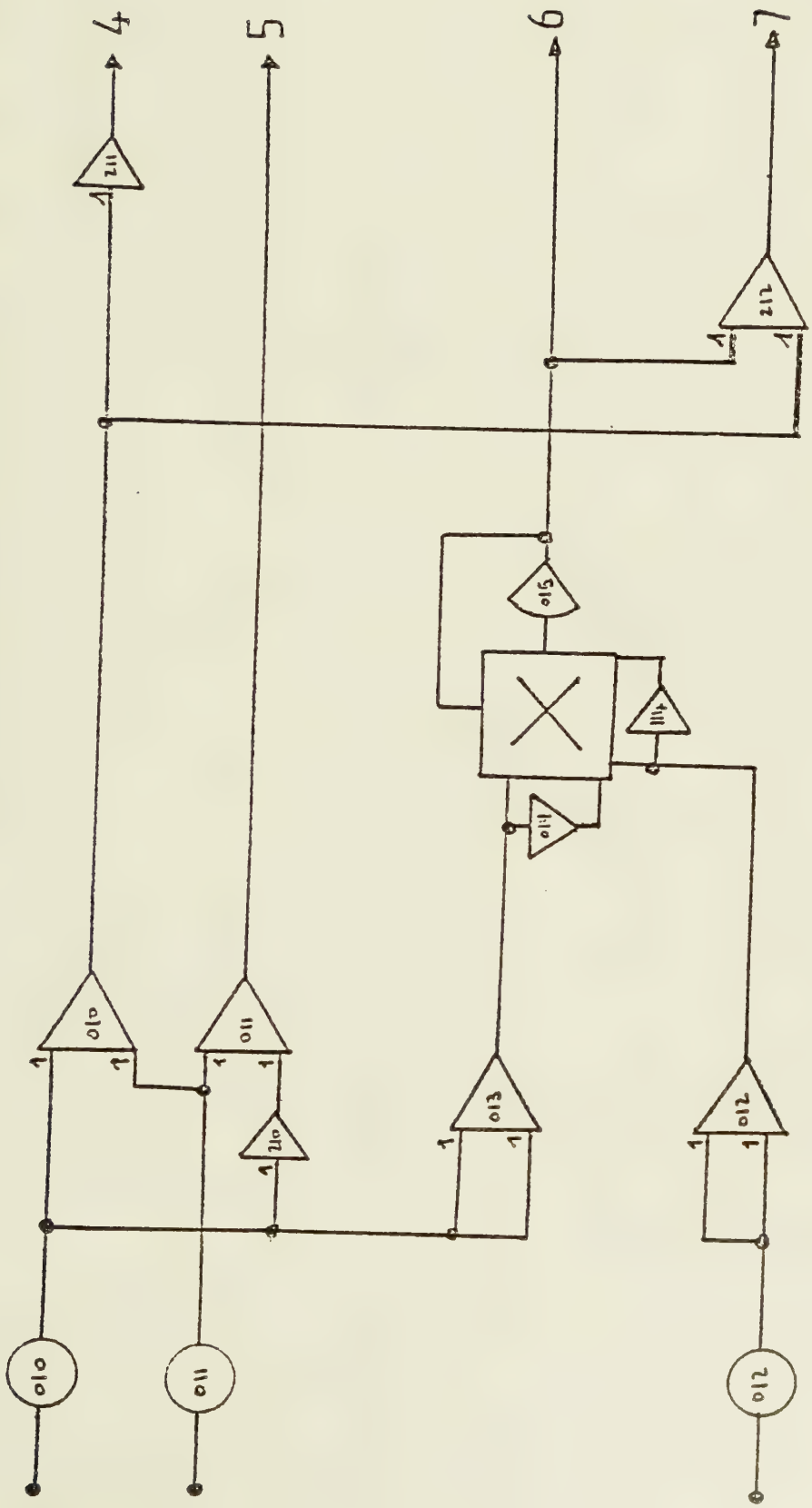


FIGURE N° 24

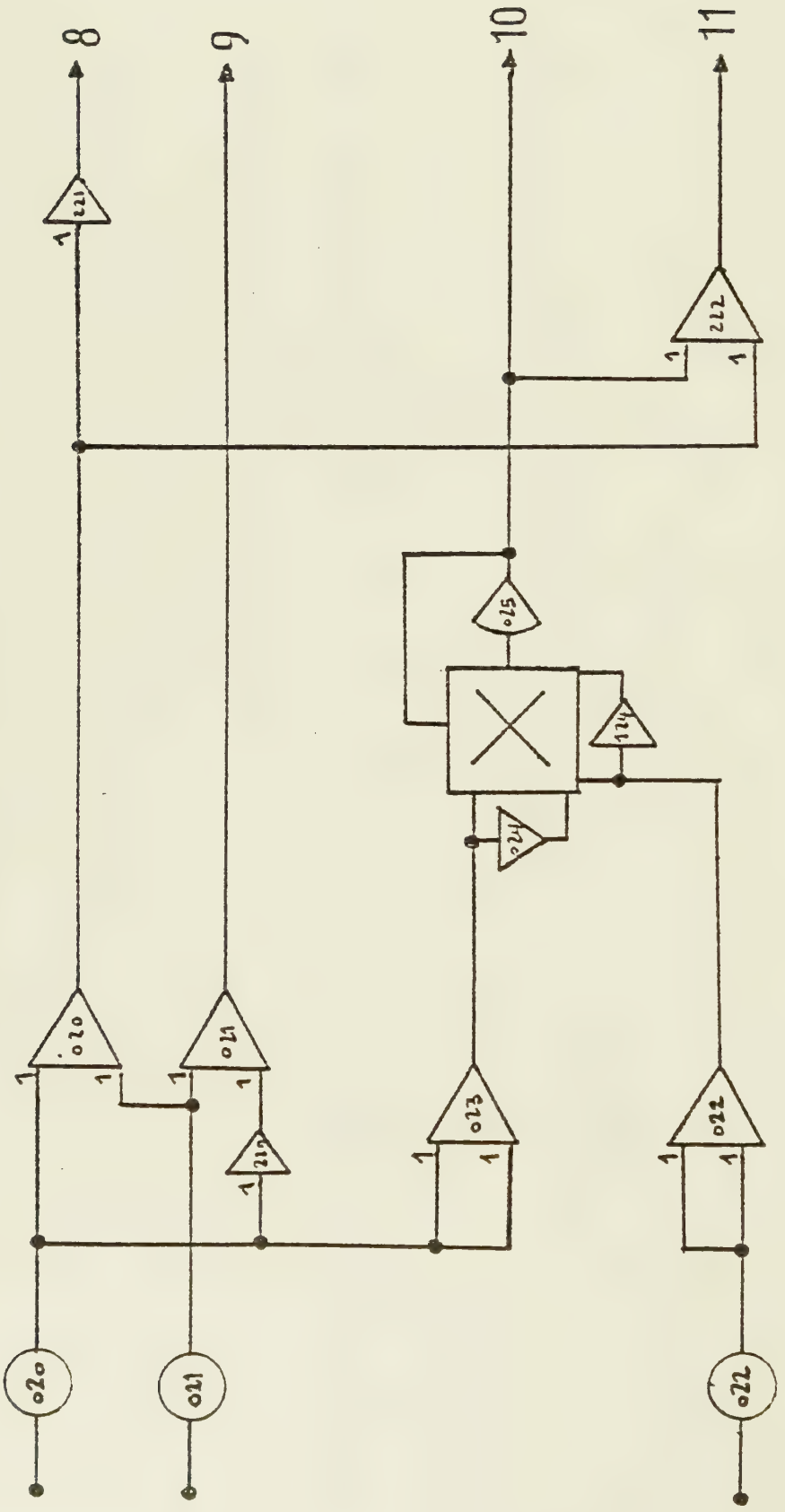


FIGURE Nº 25

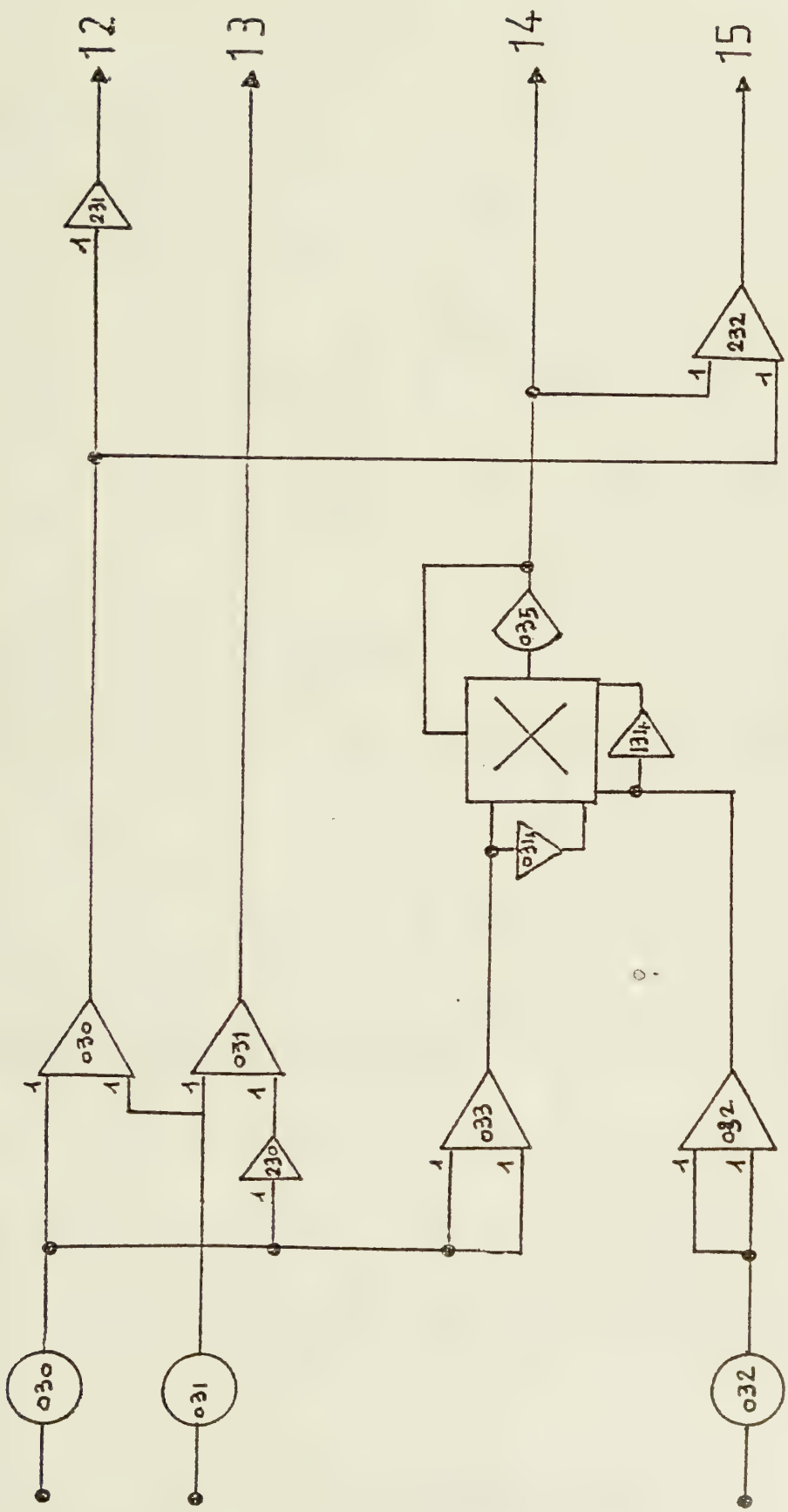

MODULE 4
12
13
14
15
231
232
030
031
033
032
230
035
1314
0317
030
031
032

FIGURE N° 26

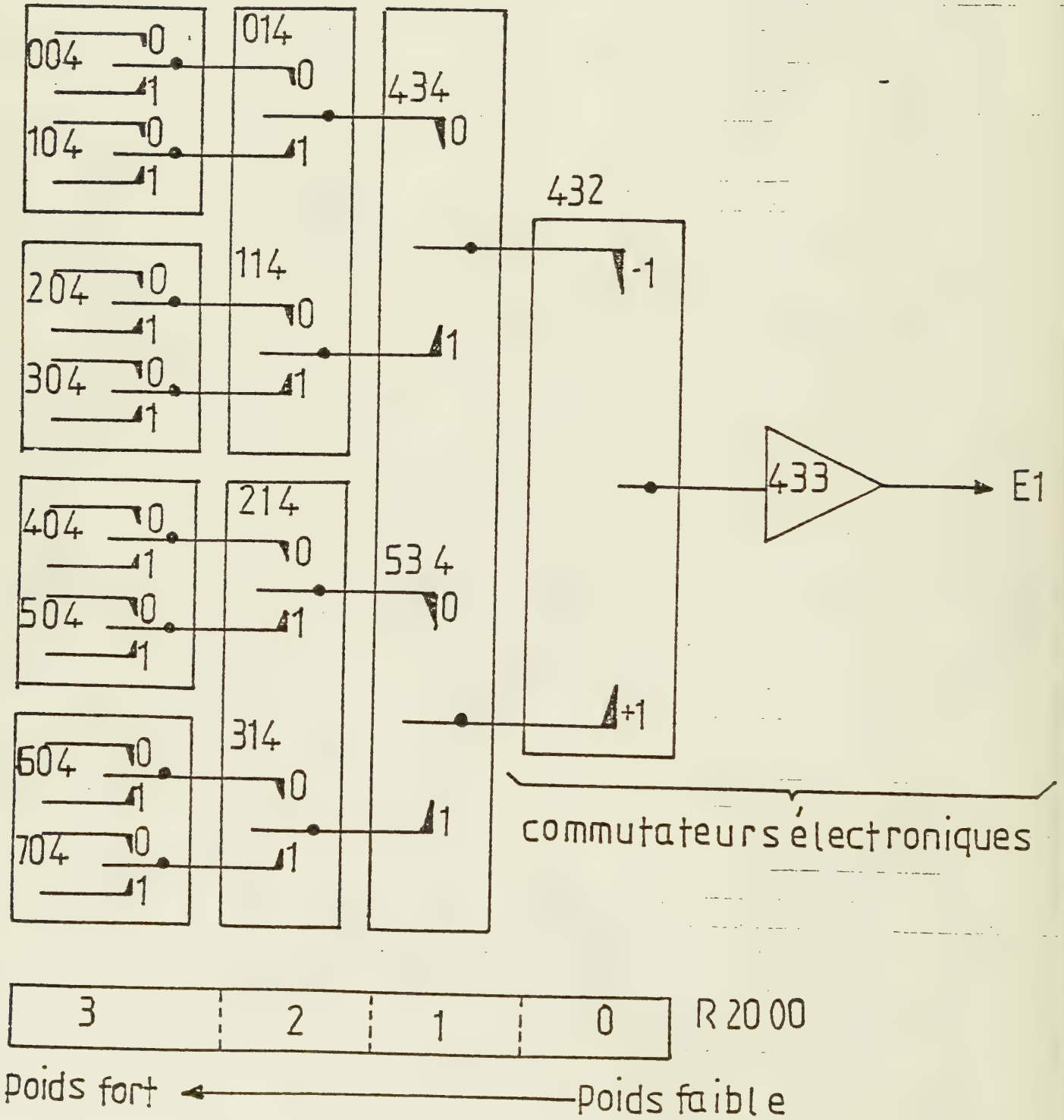

004
104
014
204
304
114
404
504
214
604
704
314
434
534
432
-1
+1
433
E1
commutateurs électroniques
3
2
1
0
R 2000
Poids fort
Poids faible

FIGURE N° 27

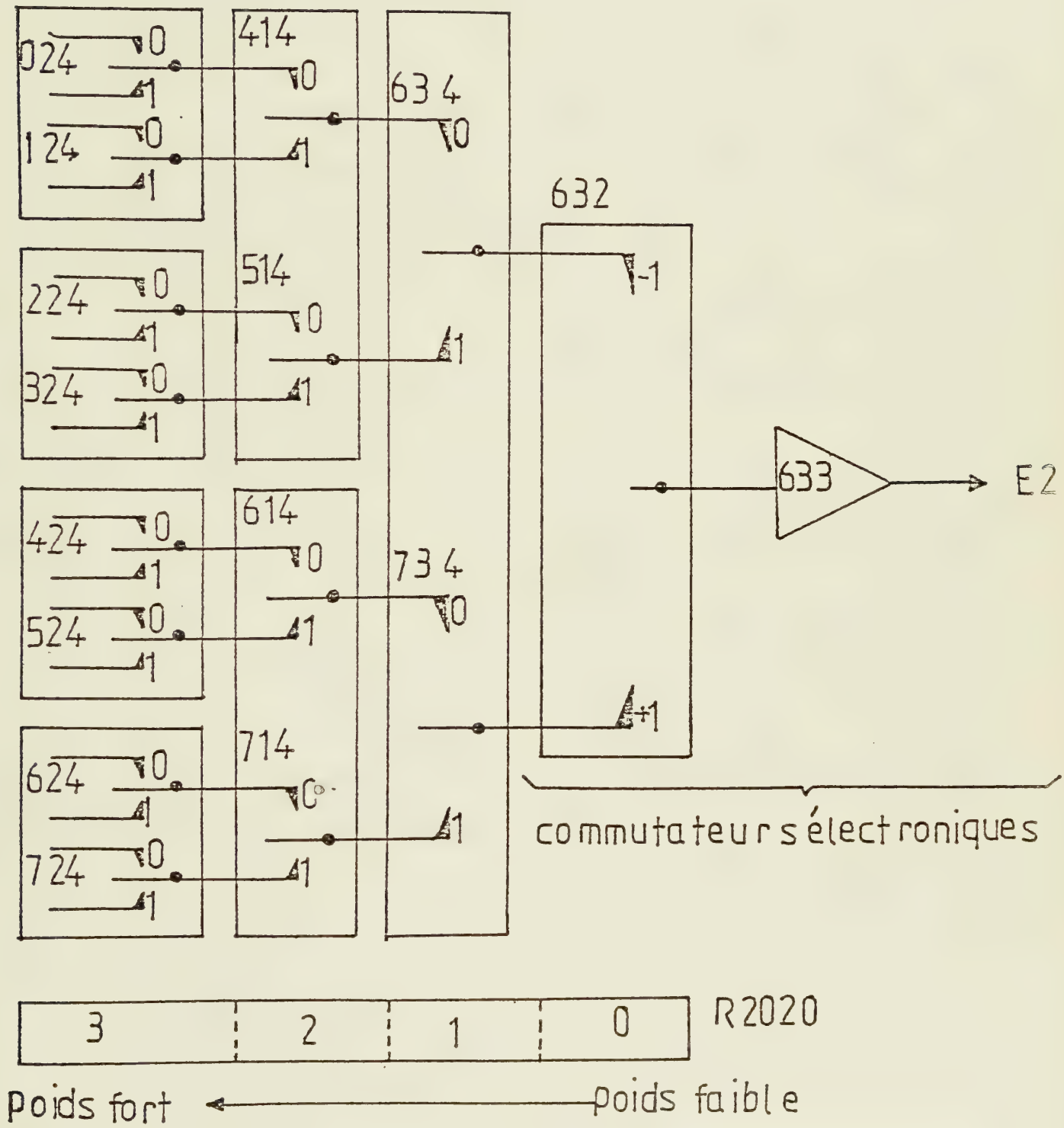

024
124
224
324
424
524
624
724
0
1
414
514
614
714
634
734
632
-1
+1
633
E2
commutateurs électroniques
3
2
1
0
R2020
poids fort
poids faible

FIGURE N°28

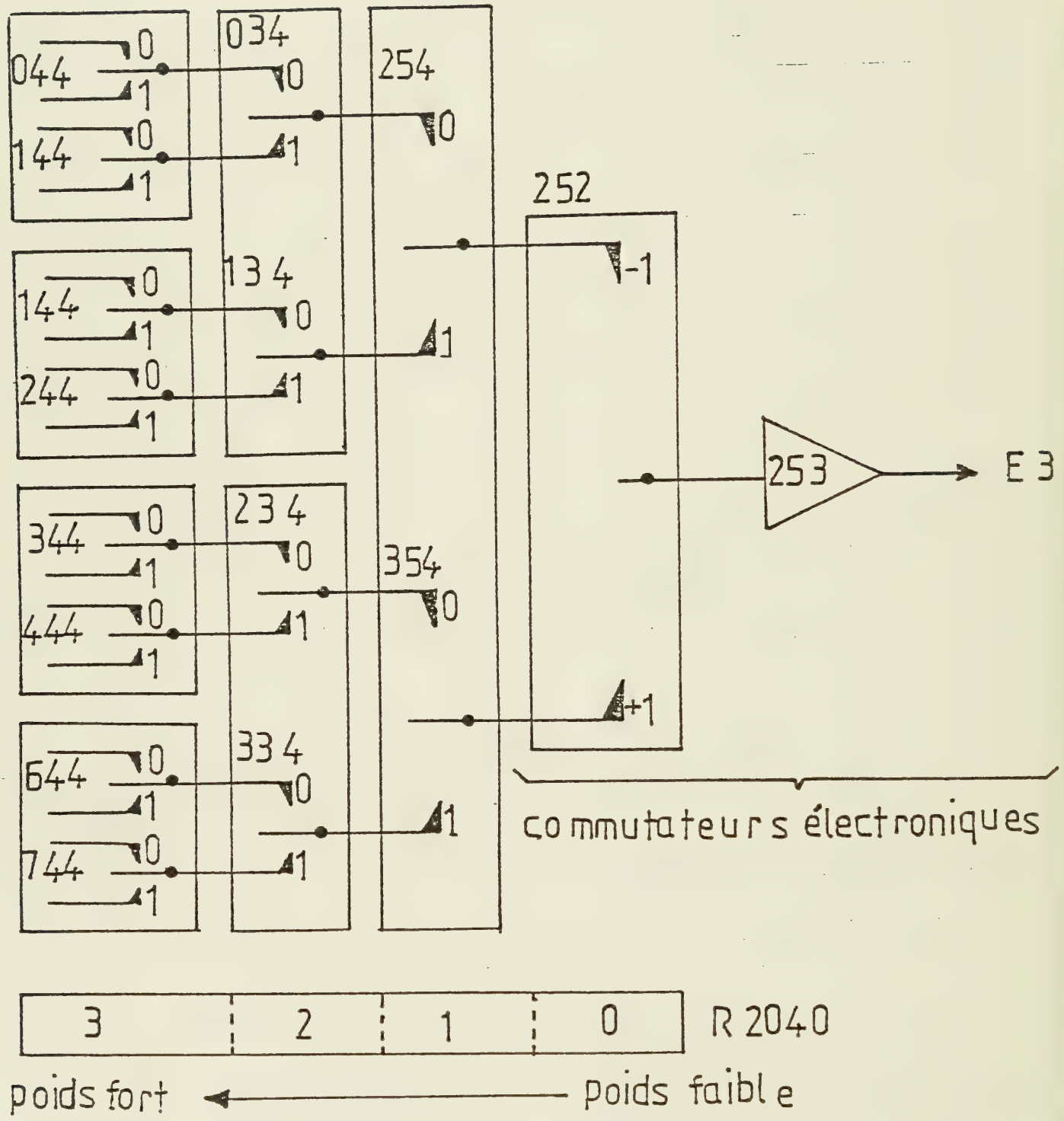

044
144
034
254
252
144
244
134
-1
1
253
E 3
344
444
234
354
644
744
334
+1
commutateurs électroniques
3
2
1
0
R 2040
poids fort
poids faible

FIGURE N° 29

Il ne présente aucune commutation interne, est programmable par simple imposition de tensions aux entrées.

Ce processeur permet de réaliser un ensemble de fonctions algébriques, logiques ou hybrides (une liste non exhaustive de ces fonctions est donnée par le talbeau 3.

La réalisation de ces deux dernières catégories de fonctions, repose sur les identités suivantes :

$$\lambda \quad \mu \equiv \lambda \cdot \mu$$

$$\lambda \quad \mu \equiv \lambda + \mu - \lambda \cdot \mu$$

$$\overline{\lambda} \equiv 1 - \lambda$$

Les propriétés de ce processeur (simplicité, rapidité, possibilité de réalisation en circuit intégré) devraient leur assurer un important développement.

De nos jours, une boucle de commande d'un processus quelconque, fait intervenir différentes technologies électroniques (électronique continue, électronique logique parallèle, électronique numérique), ce qui fait que les méthodes de synthèses employées, traitent séparément ces différentes électroniques et imposent au concepteur de fixer une répartition a priori de chacune des trois parties.

Il est possible de réaliser un nouveau calculateur à courant continu, basé sur ce module, qui permettra

d'incorporer et de traiter dans une même expression algébrique, variables logiques et variables analogiques. Ainsi, on réduit énormément le temps nécessaire à la résolution d'un problème analogique.

L'intérêt d'un tel processeur dépasse le cadre de pur calcul analogique. A la suite de l'étude développée dans cet ouvrage, il apparaît qu'il est possible de construire un calculateur hybride pour lequel toutes les opérations de câblage (analogiques et logiques) seraient entièrement automatiques. Le calculateur serait aussi précis et économique que les machines analogiques à câblage manuel.

En effet, il est possible de diminuer sensiblement le nombre des impédances d'entrée-sortie, de supprimer la présence d'opérateurs spécialisés tels que les inverseurs, et de réduire le taux des éléments en moyenne inutilisés ; en particulier notre système permet d'éviter les recopies explicites des signaux.

Ces recherches sont relatives au "HARDWARE", il est évident que pour rendre opérationnel le calculateur hybride à câblage automatique, il faut pousser l'étude sur le système de câblage en proposant un modèle qui assure au calculateur au moins les mêmes qualités que celles des machines actuelles, et développer un "SOFTWARE" approprié.

Pour exploiter au mieux ce genre de calculateurs, les utilisateurs devront mettre au point des méthodes

de calcul qui permette de garder les avantages du calculateur analogique à câblage automatique (calcul en temps réel, rapidité dans la résolution des systèmes d'équations intégro-différentielles non-linéaires, facilité d'utilisation dans les problèmes de simulation) et les avantages du calculateur numérique (précision, possibilité de mémorisation).

Ainsi, les calculateurs hybrides à câblage automatique devraient se développer car ils peuvent apporter un gain de temps et d'argent dans la résolution de nombreux problèmes.

De plus, la rapidité de calcul et l'automaticité des calculateurs analogiques à câblage automatique pourraient permettre d'utiliser ces derniers comme périphériques de gros ensembles numériques.

REFERENCES BIBLIOGRAPHIQUES

[1] Initiation au calcul analogique et hybride , CISI n° 027, C. Caillet.

[2] Analyse binaire, tome 1, 1960, Masson ed., R. Vallée.

[3] Eléments de commutation générale, 1969, Eyrolles ed., A. Blanchard.

[4] Description globlae des ensembles hybrides par A. Bonnemay, CEA.

[5] Stabilité dynamique d'une boucle analogique et précision de la résolution, A. Bonnemay. Publié par Annales de l'Association internationale pour le calcul analogique, n° 3, juillet 1971, p. 130 à 136.

[6] Simulation hybride, A. Bonnemay, E.S.E., n° 2274, 1973.

[7] ERROR analysis in the computer simulation of dynamic systems - vibrational aspects of the problem, R. Vichnevtsky ; I.E.E.E. tranformations of Electronic Computers, EC-16-4, août 1967.

[8] Les calculatrices analogiques électroniques par Y. Sevely, Université de Toulouse, Enseht ed., 1964.

[9] Cours de calcul analogique, CEA N-1216, novembre 1967.

[10] R. Vichnevtsky, selected course notes, Princeton University, 1969.

[11] Brevet d'invention "SATANAS" du 7 juillet 1963, N° 1378053.

[12] J.B. Reeves, Automatic patchboard for analog computation, these Master of science University of Californy, Los Angleles, 1967.

[13] D.A. Starr, the design of Automatic patching system, simulation, juin 1968, p. 281 à 288.

[14] G. Hannauer, Automatic patching for analog and hybrid computer, simulation, mai 1969, p. 210 à 232.

[15] T.J. Gracon et J.C. Strauss, Design of Automatic patching systems for analog computers. Sprint joint computer conference, 1970.

[16] Time sharing of hybrid computer using electronic patching by R. M. Howe and R. A. Moran and T. D. Berge. Fall joint computer conference, 1970.

[17] All. Ic hybrid computer eliminates the patchwork from programming by Kazuo Kurokawa.

[18] J. Vergnes, Etude des problèmes relatifs au câblage automatique d'un calculateur hybride. Thèse Docteur ingénieur, 1972.

[19] C. Clos, A study of non-blocking switching network bell system technical journal, vol.32, p. 406-423, mars 1953;

[20] A. Bonnemay, Brevet d'invention, processeur analogique / logique de technologie analogique, n° 7600878, 14 janvier 1976.

[21] A. Bonnemay, Structure d'un calculateur hybride à câblage automatique, SES/INT, CEN Saclay, à paraître.

Manuscrit reçu le 28 décembre 1976